

3 PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-306268

(43)Date of publication of application : 05.11.1999

(51)Int.Cl.

G06G 7/12
H01L 21/00

(21)Application number : 10-124287

(71)Applicant : SHIBATA SUNAO
OMI TADAHIRO
ULTLA CLEAN TECHNOLOGY
KAIHATSU KENKYUSHO:KK

(22)Date of filing : 17.04.1998

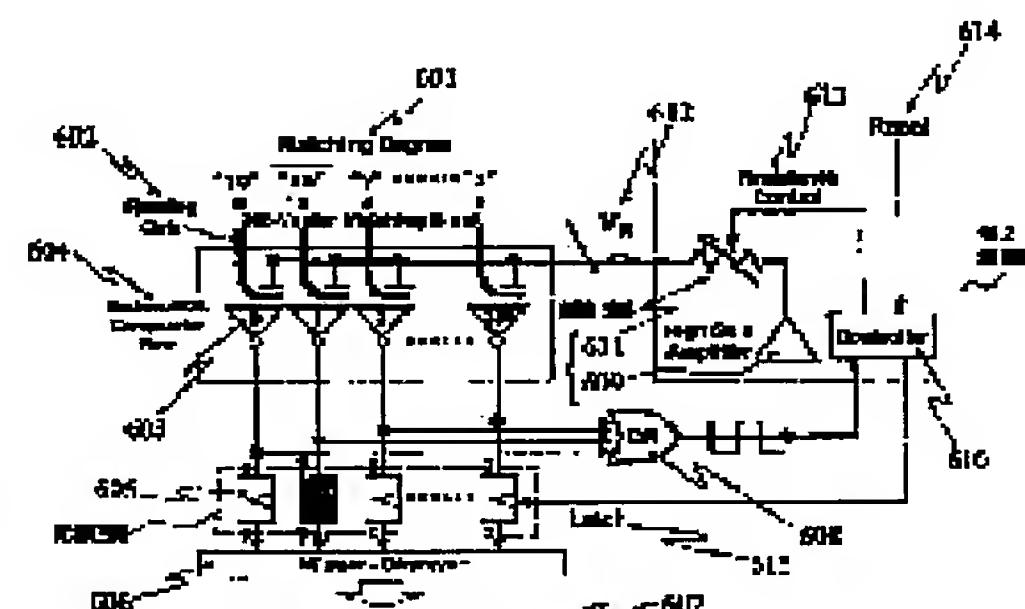
(72)Inventor : SHIBATA SUNAO
OMI TADAHIRO
NAKADA AKIRA
MORIMOTO TATSURO
NITTA TAKEHISA

(54) SEMICONDUCTOR ARITHMETIC UNIT

(57)Abstract:

PROBLEM TO BE SOLVED: To perform a maximum or minimum value retrieval operation fast and also with high accuracy with respect to a vector quantization processor by adjusting the current drive capability of a multiple loop circuit in accordance with the change of an output of a logical operation circuit.

SOLUTION: A differential absolute value distance signal 601 is stored as an electric charge on respective floating gates 602 of a ν MOS comparator 603. An output of an OR gate 608 is fed back to a reference voltage signal input terminal 612 of all comparators 603 through variable resistor 611 that is controlled by a high gain amplifier 609 and a controller 610. They forms a ring oscillator of a multiple loop. A current drive capability that drives input capacitance of the comparators 603 is changed by switching the value of the resistor 611 and a sweep speed of reference voltage VR is controlled. The sweep speed of the VR is successively reduced by increasing the value of the resistor 611 gradually and retrieval accuracy is increased little by little.



* NOTICES *

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] 1st at least one electrode.

It has an amplifying-circuit group which consists of two or more groups of the 1st amplifier with a floating gate by which capacitive coupling was carried out by a ratio as which only the 2nd one electrode was determined. The 2nd amplifying circuit that has a logic operation circuit which inputs an output signal of said amplifying-circuit group, and outputs a logical value of 0 or 1 and where an output signal of said logic operation circuit was distributed to an input and an output of *Perilla frutescens* (L.) Britton var. *crispa* (Thunb.) Decne. by all the 2nd electrode of said amplifying-circuit group.

It is the semiconductor arithmetic circuit provided with the above, said 2nd amplifying circuit has a control circuit which adjusts output current driving ability, and a control circuit which controls said regulation by a predetermined rule, and said regulation in said control circuit is performed to compensate for change of an output of said logic operation circuit.

[Claim 2] A semiconductor arithmetic unit given in the 1st paragraph of a claim, wherein said floating gate is connected to a predetermined voltage terminal via a switch controlled by the 1st control signal.

[Claim 3] A semiconductor arithmetic unit given in the 2nd paragraph of a claim accumulating an electric charge on a floating gate by setting up said 1st control signal by a prescribed method.

[Claim 4] A semiconductor arithmetic unit given in the 1 to 3rd paragraphs of a claim with which said 1st electrode is characterized by being connected to a predetermined voltage terminal and a signal terminal which takes arbitrary pressure values via a switch controlled by the 2nd control signal.

[Claim 5] A semiconductor arithmetic unit given in the 2 to 4th paragraphs of a claim, wherein said 2nd electrode is connected to a predetermined voltage terminal and an output terminal of said 2nd amplifying circuit via a switch controlled by the 3rd control signal.

[Claim 6] A semiconductor arithmetic unit given in the 5th paragraph of a claim accumulating an electric charge on follow TINGUGETO by setting up said 1st, 2nd, and 3rd control signals by a prescribed method.

[Claim 7] A semiconductor arithmetic unit given in the 1 to 6th paragraphs of a claim comprising a circuit which outputs 1 when it becomes more than a defined number with which the number of one has said logic operation circuit among all the outputs of said inversed amplification group.

[Claim 8] When said logic operation circuit becomes more than a defined number which has the number of one among all the outputs of said inversed amplification group, comprise a circuit which outputs 1, and further with an external control signal. A semiconductor arithmetic unit given in the 1 to 6th paragraphs of a claim being able to change the number of 1 defined suitably.

[Claim 9] A semiconductor arithmetic unit given in the 1 to 8th paragraphs of a claim characterized by what said logic operation circuit was constituted for by AND or OR circuit.

[Claim 10] A semiconductor arithmetic unit given in the 1 to 9th paragraphs of a claim realizing said control circuit using a variable resistor.

[Claim 11] A semiconductor arithmetic unit given in the 10th paragraph of a claim realizing said variable resistor using MOSFET.

[Claim 12] A semiconductor arithmetic unit given in the 10 to 11th paragraphs of a claim having carried out multiple connection of two or more MOSFETs which have various current driving capacity for said variable resistor, and realizing.

[Claim 13] The number of times of regulation of said control circuit, and an adjusting amount per time Loop delay time of said multiplex loop oscillating circuit, Power supply voltage, a precision prescribe, and a semiconductor arithmetic unit given in the 1 to 12th paragraphs of a claim carrying out an optimization design so that convergence time may become the shortest using said signal terminal pressure value expected.

[Claim 14] A semiconductor arithmetic unit given in the 1 to 13th paragraphs of a claim, wherein a ratio of capacity value which total and said 2nd electrode of capacity value which said 1st electrode combines with said floating gate combine with said floating gate is 1:1.

[Claim 15] A semiconductor arithmetic unit of the one to 14th statements of a claim that carry out the feature of having a store circuit for memorizing an output signal of said amplifying-circuit group using the 4th control signal, and reading the value.

[Claim 16] A semiconductor arithmetic circuit given in the 15th paragraph of a claim having a circuit which detects only what memorized a value of an output of said amplifying-circuit group of the last round of adjustment frequency of current driving capacity of said logic operation circuit, and a time in front of one of them in said store circuit, and changed among each value.

[Claim 17] A semiconductor arithmetic circuit given in the 15th paragraph of a claim having a circuit which memorizes a value of an output of said amplifying-circuit group of only the last round of adjustment frequency of current driving capacity of said logic operation circuit in said store circuit.

[Translation done.]

* NOTICES *

JPO and INPIT are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[An industrial applicable field] This invention is concerned with a semiconductor arithmetic unit, and relates to the integrated circuit system which can perform operations, such as image processing, at high speed and with high precision using a multiple value or an analog signal especially.

[0002]

[Description of the Prior Art] In order to transmit the dynamic image data containing many amount of information to a remote place, the art of performing a data compression in real time according to the transmission capacity of a communication line is needed. There is art of vector quantization as one means of this data compression. In vector quantization, as compared with arbitrary vectors with a certain number of dimension, and a different vector (code book) of the plurality of the same number of dimension prepared beforehand, the vector which was most alike in it is selected, and the original vector is quantized by the number of the pattern. To all the numbers of cases which the original vector can take, if there are few vectors (code vector) in a code book, data will be compressed. The vector corresponding to a number should just be taken out out of a code book at the time of extension. For this reason, vector quantization is well known until now as a data compression algorithm which can do extension very simply.

[0003] In order to perform this vector quantization operation in parallel at high speed, some exclusive digital processors are developed. The correlator which performs comparison of the vector and code vector which are quantized in these exclusive processors, and quantifies both similarity is usually arranged at parallel.

The similarity to all the code vectors is calculated by simultaneous parallel.

The distance between vectors will usually be used for this similarity, and similarity will be the largest for the smallest thing of distance. Therefore, vector quantization is accelerable by providing the circuit which receives and bundles up distance data from correlator to simultaneous parallel, and performs minimum search. However, since the digital circuit constituted all the processing circuits, it had resulted in occupying a ***** [in hardware] very big scale. Since many adding machines were needed, especially the correlator realized in the digital circuit had the problem of occupying the biggest scale.

[0004] It is introducing the analog or multiple-value operation for which the one method of solving this problem has very simple circuitry into a processing circuit. The report of the binary, multiple value, and analog fusion type arithmetic processing circuit using the neuron MOS transistors (nuMOS) which are first 4 terminal devices is made from such a viewpoint until now. It became possible by using this to constitute correlator from a very simple circuit. From such correlator, the distance data of an analog and multiple-value form will be outputted. The winner-take-all (Winner-Take-All:WTA) circuit using nuMOS comparator which can set up the threshold as an arithmetic circuit for calculating the minimum according to distance data out of these distance data has been used. Operation in which this finds the minimum of distance data can be reset to find the maximum or the minimum of a threshold of nuMOS comparator. Operation of finding the maximum or the minimum of a threshold of nuMOS comparator inputs common reference voltage to all the comparators, and should just control it to reverse only the output of a comparator largest [a threshold] or small. For this reason, the RAMPS can method is proposed until now and that operation is checked (for example, JP,6-244375,A). This was a technique of changing reference voltage in monotone over all the dynamic ranges, taking out a latch signal, the moment nuMOS comparator with the maximum or the minimum of a threshold was reversed, and latching the output value of the comparator at that time to a register. This method is dramatically simple and it is easy to understand it. However, the relation of a trade-off to the sweep rate of reference voltage is between retrieval precision theoretically, and if it is going to perform a high-speed search, degradation of retrieval precision will never be avoided. That is, if a high-speed sweep is performed, while the maximum is detected and a latch signal is transmitted to a register, reference voltage will change further by the RAMPS can, and nuMOS comparator of another threshold included in the voltage range for the change will also be reversed. In order to refer to one monotonous sweep of reference voltage especially in the case of the RAMPS can method, if it is going to secure retrieval precision, a very slow sweep will have to be performed over all the dynamic ranges, therefore search time will become long inevitably.

One method for improving this is shortening the transmission delay time of a latch signal by improvement of circuitry. However, there is a limit also in this. In the circuit which takes the further conventional RAMPS can method, there was a problem that the RAMPS can signal had to be inputted from the exterior. About this problem, it is provided by art (the publication-number WO 96/No. 30855 gazette) as conventionally shown in drawing 18. Namely, in the semiconductor arithmetic circuit which uses one or more neuron MOS transistors which have two or more input gate electrodes, It has an inverter circuit group containing two or more inverter circuits constituted by neuron MOS transistors, It has a means to apply a predetermined signal level to 1st at least one input gate of said inverter circuit, The output signal acquired through the inverter circuit of a predetermined number of stages in the output signal of all the inverters contained in said inverter circuit group is inputted into a logic operation circuit, The output signal acquired through the inverter circuit of a predetermined number of stages in the output signal or it is a semiconductor arithmetic circuit feeding back to each 2nd at least one input gate of said inverter circuit contained in said inverter circuit group. Thereby, although it became possible [reference voltage] to make it generate inside a circuit, in order to take feedback composition, when oscillating the reference voltage signal with the amplitude which always exists and performing a highly precise analog

voltage comparison operation, the problem remained.

[0005]

[Problem(s) to be Solved by the Invention] Then, this invention is performed in order to solve these problems, and it is a thing.

The purpose is to provide the semiconductor arithmetic unit which is high-speed and highly precise and realizes the maximum used by the vector quantization processor which comprised a multiple value and an analog fusion type arithmetic processing circuit, or minimum retrieval computing.

It aims at adding the function to search a vector with the distance of still more nearly required ranking.

[0006]

[Means for Solving the Problem] This invention has an amplifying-circuit group which consists of two or more groups of the 1st amplifier with a floating gate by which capacitive coupling was carried out by a ratio as which 1st at least one electrode and only the 2nd one electrode were determined. It has a logic operation circuit which inputs an output signal of said amplifying-circuit group, and outputs a logical value of 0 or 1. In a multiplex loop circuit which has the 2nd amplifying circuit where an output signal of said logic operation circuit was distributed to an input and an output of *Perilla frutescens* (L.) Britton var. *crispa* (Thunb.) Decne. by all the 2nd electrode of said amplifying-circuit group, Said 2nd amplifying circuit has a control circuit which adjusts output current driving ability, and a control circuit which controls said regulation by a predetermined rule, and it is characterized by performing said regulation in said control circuit to compensate for change of an output of said logic operation circuit.

[0007]

[Function] The semiconductor arithmetic unit which is high-speed and highly precise and realizes the maximum used by the vector quantization processor which comprised a binary, a multiple value, and an analog fusion type arithmetic processing circuit, or minimum retrieval computing by this invention has been realized. It also became possible to add the function to search a vector with the distance of still more nearly required ranking.

[0008]

[Example] Although an example is raised to below and this invention is explained to it in detail, it cannot be overemphasized that this invention is not limited to these examples.

[0009] (Example 1) Example 1 is an example which applied this invention to the vector quantization processor, and actually developed. Therefore, although details of the example as the whole processor are given, it cannot be overemphasized that this invention cannot apply only to a vector quantization processor, and can apply to realization of the function to select a thing with predetermined ranking, such as the maximum and the minimum, from two or more voltage signals.

[0010] The block diagram of a nuMOS analog VQ (AVQ) processor is shown in drawing 1. It assumed that this AVQ processor considers compatibility with a digital VQ processor, performed D/A conversion (101) in the preceding paragraph of a processor, and inputted into a processor the input vector (106) of 16 elements which are digital signals as an analog signal. Therefore, when an input takes analog signal form from the first, it is not necessary to use a D/A converter (101). In a 256 vector matching block (102), the difference absolute value distance of an analog input vector and code book vectors uses an analog multiple-value operation for full parallel, and it is asked for it. The value of 256 code book vectors is beforehand written in this matching block all over the circuit in multiple-value form by pattern formation using multiple-value ROM art. Next, in a WTA block (103), perform operation of selecting the smallest thing of the found distance, the signal of 1 is made to output only to the position with minimum distance of code book vectors in binary logic, and all other outputs are set to 0. The result of an operation in WTA is held in 256 latch circuitry (104), and is changed and outputted to binary code in WO (Winner-Observer) block (105) after that. The code of the pattern which was most alike through these operations is obtained.

[0011] Drawing 2 shows the composition of a vector matching block. The matching block has structure which arranged the matching cell (difference absolute-value circuit) (203) in the shape of a lattice. Each element of an input analog vector (201) is distributed to all the matching cells (203) in parallel via a switching block (202). The value of the element of code book vectors is beforehand memorized by each matching cell (203), and the absolute value of the difference of the value between each element of an input vector and each element of code book vectors is calculated here. And as for that result, it is transmitted to the floating gate (204) of nuMOS comparator via capacitive coupling, the sum of the output from the matching cell for 16 elements is called for on this floating gate, and, thereby, difference absolute value distance is acquired.

[0012] As shown in drawing 3, the matching cell constituted p-nu MOS of the same specification with two input gates using nuMOS source follower and the multiple-value ROM memory integral-type difference absolute-value circuit of the form linked to two-piece parallel. V_{in} and V_m express the signal level of one element of an input vector and code book vectors here, respectively. The value of V_m is memorized by the capacitive component rate ratio of the capacity C_1 (310,312) and C_2 (311,313) which applies nuMOS multiple-value ROM memory art, and is combined with the floating gate of these two nuMOSs. The ratio sets up each capacity factor beforehand by how many are used at the time of a layout. The memorized value can be read on the floating gate of nuMOS by supplying the power supply voltage V_{dd} (314) and V_{ss} (=0) (315) to each input terminal. The value turns into the value same equivalent as the time of inputting the value calculated with a following formula from total input capacitance.

$V_m = C_1 V_{dd} / (C_1 + C_2)$ (1) The operation of this difference absolute-value circuit is divided into two cycles, a precharge cycle (319) and an evaluation cycle (322), and is performed. In a precharge cycle, bias of each floating gate is carried out to $V_{dd} - |V_{tp+}|$ (307). V_{tp+} is set as a little bigger value than the threshold voltage V_{tp} of p-MOSFET seen from the floating gate of p-nu MOS here. It connects with V_{dd} and the output terminal (308) precharges output load capacity. Since there are two p-nu MOSs in an ON state at this time, it prevents turning off the switch (304) which leads to the drain side, and penetration current flowing. Then, V_{in} is inputted into the input terminal (310,311) of both left-hand side p-nu MOSs, V_{dd} (314) is made the input capacitance C_1 (312), and the seal of approval of the V_{ss} (315) is independently carried out to the input terminal of right-hand side p-nu MOS at the input capacitance C_2 (313). It will mean that V_{in} and V_m were inputted into p-nu MOS on either side by this operation, respectively, and the electric charge equivalent to these pressure values will be stored in the floating gate of p-nu MOS on either side, respectively.

[0013] Next, in an evaluation cycle (322), after separating a floating gate from $V_{dd} - |V_{tp+}|$ (307), the right-and-left

inversion of the bias of the input terminal of p-nu MOS is carried out. Thereby, voltage phifloor line of the floating gate of p-nu MOS on either side and phiFR serve as a value expressed with a following formula, respectively.

$$\text{phi}_{\text{floor line}} = V_{dd} - |V_{tp+}| + \text{gamma} (V_m - V_{in})$$

$$\text{phi}_{\text{FR}} = V_{dd} - |V_{tp+}| + \text{gamma} (V_{in} - V_m)$$

gamma = $(C_1 + C_2) / (C_1 + C_2 + C_0)$ (2) C0 expresses all the capacity united on a floating gate except input capacitance, such as gate capacitance and parasitic capacitance, here. The switch by the side of source is turned OFF in this state, and source follower operation of the two p-nu MOSs is carried out by setting the switch (304) by the side of a drain to ON. The electric charge currently stored in output load is discharged until output voltage turns into the same voltage as the value which added threshold voltage $|V_{tp}|$ to the pressure value of the lower one of the floating gate voltage of p-nu MOS on either side by this. The value which the output voltage V_{out} reaches eventually is $V_{out} = V_{dd} - \text{delta} - \text{gamma} |V_{in} - V_m|$ $\text{delta} = |V_{tp+}| - |V_{tp}|$. It is set to (3) and the voltage which is equivalent to the difference absolute value of the two inputs V_{in} and V_m by this is taken out by the output terminal.

[0014]As shown in drawing 2, capacitive coupling of the gate which inputs 1 more reference-voltage signal in addition to the output from 16 matching cells is carried out to the floating gate of one nuMOS comparator. This gate was set up become the capacity value of the same size as the sum total of all the capacity connected to the matching cell. It cannot be overemphasized that this capacity factor can be set as a suitable value here according to the design specification at that time. While difference absolute value distance is outputted (at the time of an evaluation cycle), the floating gate of nuMOS comparator is connected with the output terminal too hastily. At this time, bias of the input terminal of a reference voltage signal is carried out to V_{dd} . The information on the difference absolute value distance which expresses the degree of matching by this is stored in the floating gate of nuMOS comparator as an electric charge, and can realize pipelining of difference absolute value distance data processing and WTA processing.

[0015]The short circuit of nuMOS comparator is canceled, and when the input from all the matching cells changes to V_{dd} , the threshold seen from the reference voltage signal input terminal of (the time of a precharge cycle) and nuMOS comparator will be set as the value equivalent to difference absolute value distance. In other words, the threshold of each nuMOS comparator will be determined by the degree of matching. By this specification, the threshold becomes low, so that difference absolute value distance becomes large. Therefore, searching the minimum of difference absolute value distance with selecting the highest thing of the threshold of a comparator will cut with WTA.

[0016]Drawing 4 shows an example of a reference voltage self-focusing method which changes reference voltage to a multi stage story. This method has taken the method which reverses the sweep direction of a reference voltage signal on a multi stage story whenever the maximum is detected, reduces that speed every a times for every time simultaneously, and completes reference voltage near the maximum of the threshold of nuMOS comparator gradually. a is one or less positive constant here. In this figure, L_0 [V/sec] is a value which the formula 4 defines, and expresses the sweep rate when carrying out power-supply-voltage V_{dd} change of the reference voltage by the time delay t_d .

$L_0 = V_{dd} / t_d$ (4) We decided to perform the 1st-step sweep by sweep-rate aL_0 . This is because a reference voltage signal will swing past the maximum in V_{dd} or V_{ss} and a meaningless sweep will be performed, before the maximum will be detected, if a sweep rate becomes more than L_0 , and it is supposed by applying a to L_0 that the first time is certainly swept with the sweep rate not more than L_0 . When the number of times which sweeps is made into n times, the time T [sec] required in order to change reference voltage from drawing 4 to a culmination is found like the formula 5.

$T = V_T / (aL_0) + t_d + (n-1) (a^{-1} t_d + t_d)$ (5) V_T [V] is a voltage swing to the maximum threshold voltage of nuMOS comparator which should be searched from the power supply voltage V_{dd} here.

[0017]It is necessary to change a reference signal in the search in a culmination below with the sweep rate L_f [V/sec] determined by the formula 6.

$L_f = \text{delta}V / t_d$ (6) $\text{delta}V$ [V] is retrieval precision demanded here and t_d [sec] is a time delay concerning a feedback signal spreading the inside of a circuit. Supposing sweep-rate aL_0 in a culmination is equal to this L_f , the relation of $a = (\text{delta}V / V_{dd})^{1/n}$ (7) will be drawn using the formula 4.

[0018]When the formula 4 and the formula 7 are substituted for the formula 5 and arranged, it is $T = t_d (n-1) (+V_T / V_{dd}) (V_{dd} / \text{delta}V)^{1/n} + n$. The relation of (8) is obtained. This result shows that the search time T increases in proportion to the feedback time delay t_d in the case of this method. Furthermore, T becomes so long that the value of V_T becomes large. That is, when distance is dramatically large, it turns out that search time is needed for a long time. The formula 8 is expressed as $T = (V_T + \text{delta}V) / L_f$ (9) at the time of $n = 1$. Since this formula serves as a value which broke what added accuracy $\text{delta}V$ to amplitude V_T to the voltage which should be searched with WTA by the last sweep rate L_f , it turns out that this is a formula equivalent to the search time in the RAMPS can method.

[0019]The value of n needs to determine that the search time T serves as the minimum. Drawing 5 plots the value of the search time T when changing some values of $\text{delta}V$ to the number of sweep n. In this calculation, $V_T = 4V$ was used $V_{dd} = 5V$ and $t_d = 10\text{ns}$ as a typical parameter. The value of n from which T becomes the minimum to the value of each $\text{delta}V$ exists, and it turns out that $\text{delta}V$ takes the value of this n for becoming small, and it is large. When $\text{delta}V$ is 500 mV or less, compared with the search time of the RAMPS can method of $n = 1$, it turns out that search time can shorten overwhelmingly with a reference voltage self-focusing method. The minimum of each T becomes so large that $\text{delta}V$ becomes small. That is, when performing higher-precision search, it means needing search time more. When performing a high-precision search at a high speed more from these results, it can be said that the reference voltage self-focusing method proposed this time is an effective technique.

[0020]Drawing 6 realized WTA with this reference voltage self-focusing method by oscillated type nuMOS WTA. As for this figure, a matching block shows operation of WTA at the time of a precharge cycle using a simple block diagram. nuMOS comparator (603) is prepared for 256-piece parallel, and the difference absolute value distance (601) acquired with a matching block as stated previously is stored as an electric charge on each floating gate (602). The output of these 256 comparators is brought together in an OR gate (608). Furthermore, the output of an OR gate has high gain amplifier (609) and composition fed back to the reference voltage signal input terminal (612) of all the comparators via

the variable resistor (611) controlled by the controller (610). Therefore, if these will form nuMOS ring oscillator of 256 multiplex loops and are operated as it is, reference voltage VR (612) will be oscillated with a certain voltage swing.

[0021]It is made to oscillate by this ring oscillator, and the discrimination precision of the maximum of a threshold and other values is determined by the standup of a ***** VR waveform, and the sweep rate and loop delay time of falling. High gain amplifier depends for a sweep rate on the current driving capacity which drives the input capacitance of all the nuMOS comparators via a variable resistor. In order to control so that VR carries out self-focusing, the value of the variable resistor was changed dynamically, current driving capacity was changed, and the sweep rate was controlled.

[0022]First, the value of the variable resistor is set as the smallest thing. Therefore, the reference voltage input capacitance of nuMOS comparator charged by Vdd in the evaluation cycle of the matching block is discharged at high speed, and VR is changed sharply. That is, a high speed and a coarse search will be performed. If VR passes the maximum threshold of nuMOS comparator, nuMOS comparator will be reversed and the signal will be again fed back to the input gate of nuMOS comparator via an OR gate, high gain amplifier, and a variable resistor. However, VR has already gone too far beyond the maximum threshold voltage by the time delay concerning this transfer. Then, in accordance with a signal being fed back, the value of a variable resistor is changed to a bigger thing by a controller, a sweep rate is made late and an input gate is charged shortly. Thereby, it becomes loose [the amount of change of VR], and a slightly high-precision search is performed. It carries out by repeating the operation same after that, and the sweep rate of VR is decreased one by one, the overshoot of VR is reduced, and retrieval precision is made to increase gradually by increasing the value of a variable resistor gradually. In a culmination, the value of a variable resistor is set as the biggest value, and a search of the maximum high degree of accuracy to which VR is changed very slowly is performed. Thus, it is made to oscillate only the comparator which controls the sweep rate of VR and has shortest distance information eventually. The place with the shortest distance is incorporated into latch circuitry (605) as a binary signal in the stage which the position determined, by WO circuit (606), codes the position and obtains an 8-bit code (607).

[0023]In the conventional nuMOS WTA circuit, from the WTA exterior, the ramp signal needed to be inputted and minimum search needed to be performed. However, by this method, the reference voltage signal used for nuMOS comparator can generate automatically. For this reason, it can be said that it is a circuit with an autonomous control facility.

[0024]Although the OR gate was used in this example, when an AND gate is used here, it cannot be overemphasized that others can oscillate only the comparator which has maximum distance with the completely same composition.

[0025]In this WTA, the reference voltage in each sweep stage changes exponentially by the RC time constant determined with the variable resistor value at that time, and the full load capacity of a reference voltage signal, and that speed changes with values of the reference voltage at the time of a sweep start. Therefore, the completely same operation as reference voltage control of drawing 4 is unrealizable in this circuit. However, it is possible to realize the operation in false and to attain improvement in the speed of search. Here, in order to simplify a problem, all the temporal changes of reference voltage assumed that it changed linearly with the sweep rate decided by a RC time constant, and the reference voltage self-focusing method was realized. The value which divided the power supply voltage Vdd by the RC time constant at that time defined the sweep rate by this RC time constant. In order to make the last sweep rate by a RC time constant equal to Lf of the formula 6, last variable resistor value Rf [omega] was defined like the formula 10.

$$R_i = V_{dd} / C_{Vr} L_f \quad (10)$$

CVr [F] is a value of the full load capacity of the reference voltage signal line extracted out of a circuit here. It is the value Ri of a variable resistor [in / the value of n to which retrieval speed serves as the minimum from circuit delay according to drawing 5 is defined, and / the other i-th sweep phase] $R_i = (\Delta V / V_{dd})^{(n-1)/n} R_f \quad (11)$ from the value of a of the formula 7

It was set as Mr. **. However, in this method, search voltage is the maximum, and in order to start a sweep of reference voltage from power supply voltage, the number of the values of n certainly needs to be odd.

[0026]nuMOS AVQ processor uses trial production service of the University of Tokyo large scale integration circuit design educational center (VDEC), and is Motorola 1.5micrometer CMOS. A prototype was built by the two-layer polysilicon two-layer metal process.

[0027]nuMOS multiple-value ROM memory was made to memorize the value of Vm expressed with the multiple value of 17 values by constituting C1 and C2 of a difference absolute-value circuit from unit capacitance of a total of 16 pieces, and changing the ratio suitably in the AVQ processor produced this time. Drawing 7 is the result of observing operation of the difference absolute-value circuit which made 0 memorize as a level of Vm with a HSPICE simulation. Motorola 1.5micrometer according [this result] to VDEC trial production service here It is obtained using the device parameter of MOSFET of LEVEL=28 extracted from the CMOS process. P-nu MOS which performs source follower operation was taken as W/L=3micrometer/1.5 micrometers of the minimum design rule. C1 and C2 were constituted from capacity of one-unit 16fF, and since zero level was expressed with this simulation, capacity was set up by the ratio of C1:C2=0:16. Power supply voltage Vdd was set to 5V, set |Vtp+| to 1V, and performed charge of the floating gate by 4V. Operation of the difference absolute-value circuit was observed in also building on a simulation the switching block (drawing 2) which changes an external input signal so that it may correspond to a precharge cycle and each evaluation cycle, and inputting this output into a difference absolute-value circuit. In order to reproduce the state of a still more nearly actual trial chip as correctly as possible, parasitic capacitance obtained from the layout result, such as wiring capacity and substrate capacity, was also added, and the simulation was performed.

[0028]The 1st step of waveform of drawing 7 is an external input signal (703), and zero to 16 levels have inputted the multiple-value voltage of 17 values with the dynamic range of 5V for every 500-ns cycle. The 2nd step and the 3rd step of waveform (704,705,706,707) is a signal wave form which is outputted from a switching block and inputted into C1 of the input gate of the right and left of a difference absolute-value circuit, and C2, respectively. Thus, the difference absolute value operation is performed by changing a value alternately with right and left to one external input signal. The 4th step of waveform shows change (708,709) of the floating gate potential of p-nu MOS of the right and left of a difference absolute-value circuit. Since a memory level is 0 on these conditions, in an evaluation cycle, left floating gate

potential goes to a negative direction, the right goes to a positive direction with 4V as the starting point, and it is changing by the value corresponding to an input level, respectively. The rise of right potential has a maximum because forward bias is added to the source drain pn junction in a circuit and ON voltage is reached. The last waveform is the result of observing the output (710) of a difference absolute-value circuit. After floating gate voltage is stabilized as for source follower operation, it is performed, and it discharges the electric charge stored in output load capacity by this. In this result, it turns out that discharge is altogether performed corresponding to the floating gate potential of left-hand side p-nu MOS.

[0029]A difference absolute-value circuit with the multiple-value ROM composition of all 17 levels is constituted from the same method as drawing 7, and the result of having asked for the output characteristics to the external input signal with the simulation is shown in drawing 8. The dynamic range of the output was 3.4V from 1.32V to 4.72V, and the ratio to the power supply voltage 5V was 0.68. The almost linearity characteristic is obtained over all input levels. This AVQ processor was made to memorize beforehand 16-dimensional 256 code books created in pictures using the self-organization map of Kohonen using these difference absolute-value circuits at the time of layout creation.

[0030]The reason for having used p-nu MOS as an MOSFET which performs source follower operation here this time is because the used chip fabrication process was a single n well CMOS process. That is, it is because only p-nu MOS was used as a nuMOS to which source follower operation is made to perform in order to connect the substrate of MOSFET with a source electrode too hastily, to control the potential independently respectively and to remove change of the threshold by a board bias effect. Therefore, if a manufacturing process allows, even if it will use n-nu MOS, it is possible to constitute a difference absolute-value circuit from same method.

[0031]The composition of nuMOS comparator is shown in drawing 9. nuMOS comparator has five steps of inverter composition, in order to realize a high gain. Two or more inputs are connected to the CMOS inverter (910) by capacitive coupling, and the 1st step is nu MOS inverter. All the remainder are the usual CMOS inverters (913, 915, 916, 917), and the 2nd step of the input is connected to the output of the 1st step of nu MOS inverter via capacitive coupling.

Capacitive coupling of the floating gate of nu MOS inverter is carried out by the ratio of 16 inputs (it collects as one input simply here, and is writing) from a matching cell, and each reference signal input to 1 to 1. Where bias of the reference signal input is carried out to Vdd at the time of reset, difference absolute value distance is inputted from a matching cell, and the 1st step and the 2nd step of input and output of an inverter are short-circuited one by one.

Difference absolute value distance is stored in the floating gate of nu MOS inverter as an electric charge by this, and the threshold of nuMOS comparator is set as the voltage corresponding to distance. At the time of WTA operation, the input from a matching cell serves as Vdd, and refers to a reference voltage signal.

[0032]In this AVQ processor, the retrieval precision in WTA was set to 5 mV, and it was decided that the number of sweep would be taken to five steps using drawing 6. According to the formulas 10 and 11, the value of the variable resistor in each cycle was determined from this. The equivalent circuit and its change sequence of a variable resistor for realizing the resistance calculated in this way are shown in drawing 10. The ON resistance was set up because a variable resistor adjusts the W/L ratio of each MOSFET suitably, using five CMOS switches in parallel, and the whole resistance was realized in turning on and turning these off. That control observed the output of the OR gate of WTA by the controller, detected that standup and falling edge, and as shown in a figure according to this timing, it was performed.

[0033]The result of having observed operation of the reference voltage self-focusing type WTA circuit which was carried out in this way at drawing 11, and was constituted in the HSPICE simulation is shown. In this simulation, 2.5V was altogether inputted into the input terminal from the matching block of one comparator among 256 nuMOS comparators, and others inputted voltage lower 10 mV than this, and performed the reset cycle of the comparator. The 1st step of waveform (1107, 1108) observes a reference voltage signal and the output signal from the OR gate which summarizes the output from a comparator. The 2nd step of waveform (1109, 1110) is an output of nuMOS comparator with the highest threshold (winner), and the other comparator (loser). The 3rd step of waveform (1111, 1112) is an output of latch circuitry. Signs that a reference signal settles in 2.5V of a desired value in self-focusing by five sweeps, and goes are observed. In connection with this, the oscillation of a loser's output has stopped on the way, and only the winner's output has repeated the oscillation eventually. After a sweep will be completed 5 times so that clearly if a figure is seen, the sorting result of a winner and a loser is held by taking the output of all the nuMOS comparators into latch circuitry. In this simulation, the time delay td was about 10 ns, and maximum search time was about 280 ns.

***** by which about 18 times as many improvement in speed is realized compared with the RAMPS can method by using a self-focusing method from the formula 9 on this about 5micro condition since it is set to sec when the RAMPS can method realizes same operation although it is late a little compared with the value shown by drawing 6 — things were understood.

[0034]The chip photograph of the analog VQ chip produced this time is shown in drawing 12. A chip size is 7.2 mm 7.2 mm, and is stored in the 208pin SQFP package. The matching network for 256 code book vectors arranged by dividing into by halves up and down. It has the composition that arrange a WTA circuit and WO circuit at the center, and a difference absolute value distance signal is outputted to it toward the center of a chip. The wiring which transmits a reference signal to 256 nuMOS comparators was considered as constituting from a H-Tree method and the difference of a time delay being controlled as much as possible. The result of having measured with the digital VQ processor the circuit area of the chip produced this time for every element block is shown in drawing 13. Since a digital VQ processor was a 0.6-micrometer design rule, comparison of the circuit area converted the area of the analog VQ processor into 0.6 micrometer, and performed it. Comparison shows that about 85% of reduction of area is attained in an analog VQ processor. This is because the circuit structure of the difference absolute-value circuit which occupied most circuits was substantially reduced by having used the analog multiple-value circuit. It can be said that VQ processor corresponding to 2048 code book vectors is realizable enough with one chip by using this analog multiple-value method by a 0.6-micrometer design rule from this result.

[0035]The result of having used the logic analyzer and having measured the chip whole waveform of operation is shown in drawing 14. This measurement was performed by inputting the same vector as the code book vectors of No. 125 and No. 126 in a chip by turns. The control signal was designed in this chip production input from 4 exteriors to 5 and a WTA block to a vector matching block. This is for avoiding the problem by timing gap of the control signal in analog circuitry.

Control of the chip is performed so that pipeline operation as above-mentioned may be performed. A 5microsec cycle and working speed are the results of outputting a desired value, although it was late.

[0036]The result of having measured the waveform of the WTA block of operation using the oscilloscope is shown in drawing 15. The 1st step and the 2nd step of signal are a control signal for reset of nuMOS comparator, and a feedback control signal of nuMOS ring oscillator, respectively. The 3rd step of waveform is the result of observing the situation of change of a reference voltage signal through the op amplifier of a voltage follower. The 4th step and the 5th step of waveform observe the output wave and latch signal output of an OR gate, respectively.

[0037]Five steps of self-focusing operations of reference voltage were checked like simulation waveforms, and it has checked that the switching sequence of a variable resistor was operating normally. Compared with the result of a simulation, as for the output wave of an OR gate, the remarkable result to which the period of 0 becomes shorter than the period of 1 is obtained. This is because the speed has the character which becomes quick in the control of a sweep rate which used the RC time constant so that the voltage width to change is large. That is, it is thought that it is because the direction of the speed discharged toward 0V since the maximum threshold of nuMOS comparator has approached the Vdd side in this case is in the tendency which becomes quicker than the speed charged toward 5V.

[0038]In this design, the simulation and the design were performed for the purpose of the search time of WTA being settled within 500 ns to all the comparator maximum threshold voltage. However, a result which will spend about 1microsec by the time a latch starts actually was brought. Although this cause was not made clearly, the influence of the parasitic capacitance etc. of the reference voltage signal line which was not able to be extracted by design in the actually produced circuit still existed, or is surmising whether the feedback time delay differed from the simulation result actually. However, when it is going to perform the same thing by the RAMPS can method also by this result, If a sweep rate must be set to less than 0.5v/microsec and 1.5V is swept now in order to take out the accuracy of 5 mV, even if circuit delay considers 10 ns, about [3microsec] search time will start inevitably. In this case, if compared, this reference signal self-focusing method can be said to secure an about 3-time speed predominance unexpectedly.

[0039]Drawing 16 is the result of measuring independently the amount of used electricity of the vector matching block (AVC) at the time of operation of a chip, a WTA block, and each WO block to the clock frequency. One pipeline cycle of an AVQ processor defined one cycle which determines frequency here. On the whole, it saw, the direct-current power consumption ingredient occupied most mostly, and it was about a little less than 1W in amount of used electricity on the whole.

(Example 2) The 2nd example of this invention is described using the circuit diagram of drawing 17. Drawing 17 transposes the inner OR gate of the circuit diagram of drawing 6 to the logic circuit 1708, The latch circuitry 1705 and 1706 is connected to two-step series as a store circuit, these outputs are inputted into the exclusive OR gate 1707, respectively, it has the composition of obtaining the search results to a predetermined vector with the output, and others have taken the same composition as the case of Example 1. Here, the logic gate 1708 shows as an example the circuit from which 1 is taken out, when the number of one becomes three or more among the outputs from each comparator. Therefore, by the same operation as the case of Example 1, eventually, only the comparator by which a big distance was inputted into the 3rd of the inputted distance will repeat 1 and 0 periodically, and will output them in this circuit. The logic gate 1708 can be realized using publicly known circuit art. For example, even if it uses the neuron MOS transistors which can realize variable threshold operation easily by a multi input, it is known well that this circuit can be constituted. It is realizable even if it uses other digital logic circuits. Since the latch circuitry 1705 and 1706 is connected in series in this example, two, the output of each comparator when search by the change of a variable resistor reaches a culmination, and the output in the stage of the 1 time ago, are memorizable with the latch signal 1715. Therefore, it is possible by inputting the value of these outputs into an exclusive OR gate, respectively, and comparing the difference to identify the position of the comparator which repeats change of an output also in a culmination. Thereby, the size of distance became possible [searching that whose number is the 3rd]. this example is one example of this invention to the last, and it cannot be overemphasized that it is also easily realizable to also make into the 4th the size of the distance searched with taking the same composition, to also use the 10th, or for it to be alike other than this and to carry out. Since setting out of the number of 1 in the logic gate 1708 can be easily changed by a control-input electrode if a variable threshold element like especially neuron MOS transistors is used, the composition which changes this ranking free with the electric control signal 1716 from the outside is easily realizable. It cannot be overemphasized that it can realize even if the logic gate where it does not adhere to neuron MOS transistors, but ** can also change setting out of the number of 1 with an external signal uses other publicly known art. Even if it is not the composition of the store circuit in this example, it cannot be overemphasized that other circuits which fill the same function may be used.

[0040]

[Effect of the Invention]According to this invention, the semiconductor arithmetic unit which is high-speed and highly precise and realizes the maximum used by the vector quantization processor which comprised a binary, a multiple value, and an analog fusion type arithmetic processing circuit, or minimum retrieval computing is realizable. It also becomes possible to add the function to search a vector with the distance of still more nearly required ranking.

[Translation done.]

(51) Int.Cl.⁶
G 0 6 G 7/12
H 0 1 L 21/00

識別記号
1 0 2

F I
G 0 6 G 7/12
H 0 1 L 21/00

審査請求 未請求 請求項の数17 FD (全 19 頁)

(21)出願番号 特願平10-124287

(22)出願日 平成10年(1998)4月17日

(71)出願人 591022117
柴田 直
東京都江東区越中島1-3-16-411

(71)出願人 000205041
大見 忠弘
宮城県仙台市青葉区米ヶ袋2-1-17-301

(71)出願人 596089517
株式会社ウルトラクリーンテクノロジー開
発研究所
東京都文京区本郷4-1-4

(74)代理人 弁理士 福森 久夫

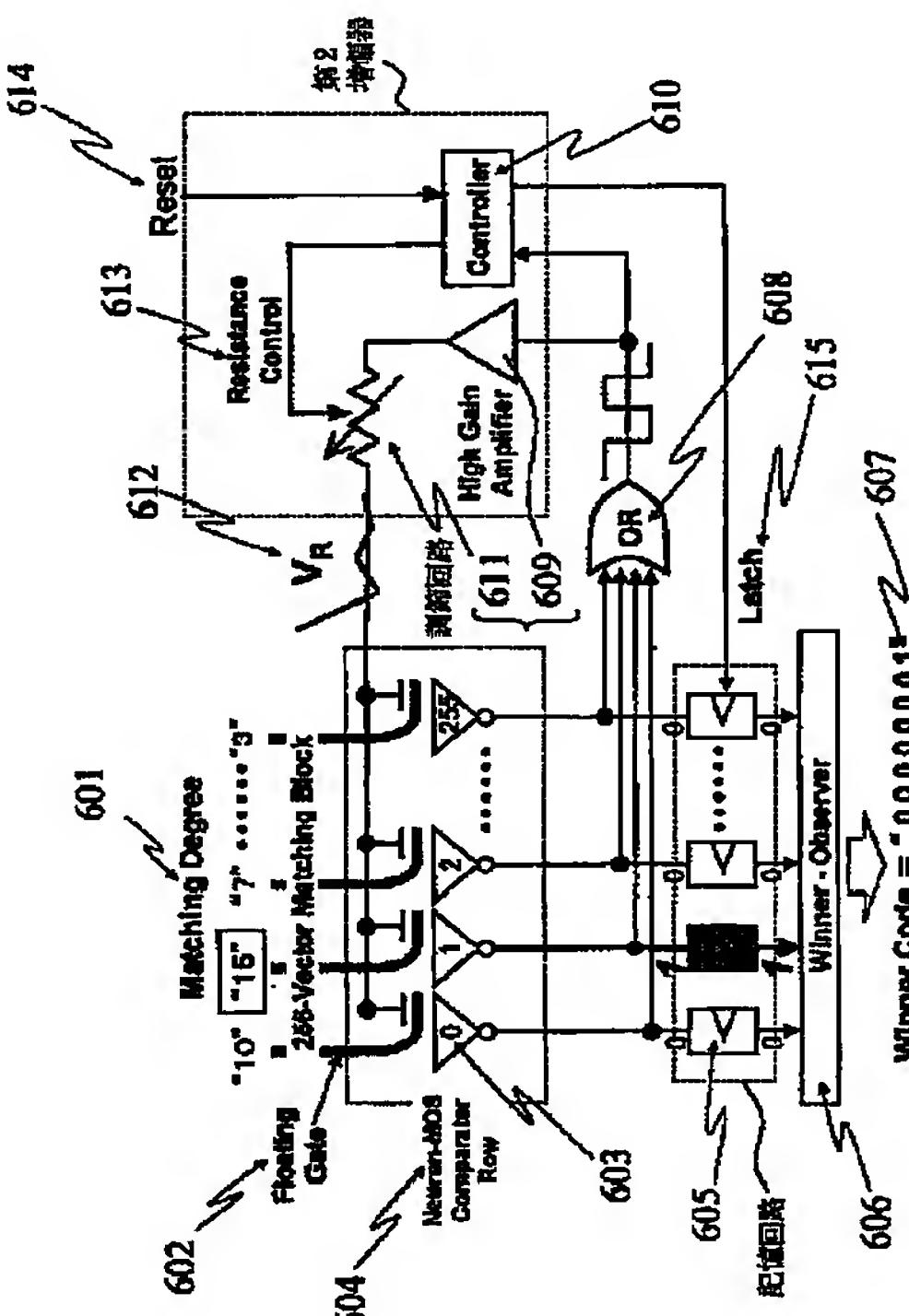
最終頁に続く

(54)【発明の名称】 半導体演算装置

(57)【要約】

【課題】 バイナリ・多値・アナログ融合型演算処理回路で構成されたベクトル量子化プロセッサで用いられる最大値あるいは最小値検索演算を高速かつ高精度で実現する半導体演算装置を提供することを目的とする。さらに必要な順位の距離をもつベクトルを検索する機能を附加すること。

【解決手段】 第1電極と、1つの第2電極が定められた比率で容量結合されたフローティングゲートを持つ第1増幅器の複数の組よりなる増幅回路群を有し、増幅回路群の出力信号を入力し0あるいは1の論理値を出力する論理演算回路を有し、論理演算回路の出力信号を入力としその出力が増幅回路群の全ての第2電極に分配された第2増幅回路を有する多重ループ回路において、第2増幅回路が出力電流駆動能力を調節する調節回路と調節を所定の規則で制御する制御回路を有し、制御回路における調節が論理演算回路の出力の変化に合わせて実行される。。



【特許請求の範囲】

【請求項1】 少なくとも1つの第1電極と、ただ1つの第2電極が定められた比率で容量結合されたフローティングゲートを持つ第1増幅器の複数の組よりなる増幅回路群を有し、前記増幅回路群の出力信号を入力し0あるいは1の論理値を出力する論理演算回路を有し、前記論理演算回路の出力信号を入力としその出力が前記増幅回路群の全ての第2電極に分配された第2増幅回路を有する多重ループ回路において、前記第2増幅回路が出力電流駆動能力を調節する調節回路と前記調節を所定の規則で制御する制御回路を有し、前記制御回路における前記調節が前記論理演算回路の出力の変化に合わせて実行されることを特徴とする半導体演算回路。

【請求項2】 前記フローティングゲートが、第1制御信号により制御されたスイッチを介して所定の電圧端子に接続されていることを特徴とする特許請求範囲第1項記載の半導体演算装置。

【請求項3】 前記第1制御信号を所定の方式で設定することでフローティングゲート上に電荷を蓄積することを特徴とする特許請求範囲第2項記載の半導体演算装置。

【請求項4】 前記第1電極が、第2制御信号により制御されたスイッチを介して所定の電圧端子と、任意の電圧値をとる信号端子とに接続されていることを特徴とする特許請求範囲第1-3項記載の半導体演算装置。

【請求項5】 前記第2電極が、第3制御信号により制御されたスイッチを介して所定の電圧端子と、前記第2増幅回路の出力端子とに接続されていることを特徴とする特許請求範囲第2-4項記載の半導体演算装置。

【請求項6】 前記第1、第2、および第3制御信号を所定の方式で設定することでフォローティングゲート上に電荷を蓄積することを特徴とする特許請求範囲第5項記載の半導体演算装置。

【請求項7】 前記論理演算回路が前記反転増幅回路群の全ての出力のうち1の数がある定められた数以上になったときに1を出力する回路で構成されたことを特徴とする特許請求範囲第1-6項記載の半導体演算装置。

【請求項8】 前記論理演算回路が前記反転増幅回路群の全ての出力のうち1の数がある定められた数以上になったときに1を出力する回路で構成されており、さらに外部制御信号により、その定められた1の数を適宜変更できることを特徴とする特許請求範囲第1-6項記載の半導体演算装置。

【請求項9】 前記論理演算回路がANDまたはOR回路によって構成されたことを特徴とする特許請求範囲第1-8項記載の半導体演算装置。

【請求項10】 前記調節回路を可変抵抗を用いて実現したことを特徴とする特許請求範囲第1-9項記載の半導体演算装置。

【請求項11】 前記可変抵抗をMOSFETを用いて実現し

10

たことを特徴とする特許請求範囲第10項記載の半導体演算装置。

【請求項12】 前記可変抵抗を種々の電流駆動能力を持つ複数のMOSFETを並列接続して実現したことを特徴とする特許請求範囲第10-11項記載の半導体演算装置。

20

【請求項13】 前記調節回路の調節回数と一回当たりの調節量を前記多重ループ発振回路のループ遅延時間、電源電圧、要求精度、および予想される前記信号端子電圧値を用いて収束時間が最も短くなるように最適化設計したことを特徴とする特許請求範囲第1-12項記載の半導体演算装置。

【請求項14】 前記第1電極が前記フローティングゲートに結合する容量値の総和と前記第2電極が前記フローティングゲートに結合する容量値の比が1:1であることを特徴とする特許請求範囲第1-13項記載の半導体演算装置。

20

【請求項15】 前記増幅回路群の出力信号を第4制御信号を用いて記憶しその値を読み出すための記憶回路を有することを特徴する特許請求範囲第1-14記載の半導体演算装置。

【請求項16】 前記記憶回路において前記論理演算回路の電流駆動能力の調整回数の最終回とその一つ前の回の前記増幅回路群の出力の値を記憶し、それぞれの値のうち変化したもののみを検出する回路を有していることを特徴とする特許請求範囲第15項記載の半導体演算回路。

30

【請求項17】 前記記憶回路において前記論理演算回路の電流駆動能力の調整回数の最終回のみの前記増幅回路群の出力の値を記憶する回路を有していることを特徴とする特許請求範囲第15項記載の半導体演算回路。

【発明の詳細な説明】

【0001】

【産業上の応用分野】 本発明は半導体演算装置に関わり、特に画像処理などの演算を多値あるいはアナログ信号を用いて高速かつ高精度に実行できる集積回路システムに関する。

【0002】

【従来の技術】 多くの情報量を含む動画像データなどを遠隔地に転送するためには、通信回線の伝送容量に応じて実時間でデータ圧縮を行う技術が必要となっている。このデータ圧縮のひとつの手段としてベクトル量子化という技術がある。ベクトル量子化では、ある次元数を持つ任意のベクトルと、予め用意しておいた同じ次元数の複数の異なるベクトル（コードブック）と比較し、その中で最も似通ったベクトルを選び出し、そのパターンの番号によって元のベクトルを量子化する。元のベクトルが取りうる全ての場合の数に対して、コードブック中のベクトル（コードベクトル）の数が少なければデータは圧縮される。伸張時はコードブックの中から番号に対応

50

するベクトルを取出すだけでよい。このためベクトル量子化は伸張が非常に簡単にできるデータ圧縮アルゴリズムとしてこれまで良く知られている。

【0003】このベクトル量子化演算を並列に高速で実行するために、いくつかの専用デジタルプロセッサが開発されている。これらの専用プロセッサには、量子化されるベクトルとコードベクトルの比較を行い両者の類似度を数量化する相関器が通常並列に配置されており、全てのコードベクトルに対する類似度は同時並列に計算される。この類似度には通常ベクトル間の距離が用いられ、距離の最も小さなものが類似度が最も大きいことになる。したがって、距離データを相関器より同時並列に受け取り一括して最小値検索を行なう回路を設けることでベクトル量子化を高速化することができる。しかし全ての処理回路をデジタル回路によって構成しているため、ハードウェア的にどうしても非常に大きな規模を占める結果となっていた。特に、デジタル回路で実現した相関器は多数の加算器が必要となるため最も大きな規模を占めてしまうという問題があった。

【0004】この問題を解決する一つの方法が非常に単純な回路構成を持つアナログあるいは多値演算を処理回路の中に導入することである。この様な視点からこれまでに、初めての4端子デバイスであるニューロンMOSトランジスタ(ν MOS)を用いたバイナリ・多値・アナログ融合型演算処理回路に関する報告がなされている。これを用いることにより非常に単純な回路で相関器を構成することが可能となった。このような相関器からはアナログ・多値形式の距離データが出力されることとなる。これらの距離データのなかから最小値を求めるための演算回路として、距離データに応じてその閾値を設定できる ν MOSコンパレータを用いたウイナー・テーク・オール(Winner-Take-All: WTA)回路が用いられてきた。これにより距離データの最小値を見つける操作は、 ν MOSコンパレータの閾値の最大値あるいは最小値を見つけることにおきかえることができる。 ν MOSコンパレータの閾値の最大値あるいは最小値を見つける操作は、全コンパレータに対して共通の参照電圧を入力し、閾値が最も大きいあるいは小さいコンパレータの出力のみを反転させるよう制御すればよい。このためにこれまでにランプスキャン方式が提案されておりその動作が確認されている(例えば特開平6-244375号公報)。これは参照電圧を全ダイナミックレンジにわたって単調に変化させていき、閾値の最大値あるいは最小値を持つ ν MOSコンパレータが反転した瞬間にラッチ信号を出し、その時のコンパレータの出力値をレジスタにラッチするという手法であった。この方法は非常にシンプルで理解しやすい。しかしながら、原理的に参照電圧の掃引速度には検索精度との間にトレードオフの関係があり、高速な検索を実行しようとするとどうしても検索精度の劣化が避けられない。すなわち、高速な掃引を実行すると、最大値

が検出されラッチ信号がレジスタに伝達される間にランプスキャンで参照電圧がさらに変化してしまい、その変化分の電圧レンジに含まれる別の閾値の ν MOSコンパレータも反転してしまうのである。特にランプスキャン方式の場合、1回の参照電圧の単調な掃引で検索を行なうため、検索精度を確保しようとすると非常にゆっくりとした掃引を全ダイナミックレンジにわたって実行しなければならず、そのためどうしても検索時間が長くなってしまうのである。これを改善するための一つの方法は回路構成の改善によってラッチ信号の伝達遅延時間を短縮化することである。しかしこれにも限界がある。さらに従来のランプスキャン方式を取る回路ではランプスキャン信号を外部より入力しなければならないという問題があった。この問題に関しては従来図18に示すような技術(特開平WO96/30855号公報)により提供されている。すなわち、複数の入力ゲート電極を有するニューロンMOSトランジスタを1個以上用いてなる半導体演算回路において、ニューロンMOSトランジスタにより構成されたインバータ回路を複数個含むインバータ回路群を有し、前記インバータ回路の少なくとも1個の第1の入力ゲートに所定の信号電圧を加える手段を有し、前記インバータ回路群に含まれる全てのインバータの出力信号を所定の段数のインバータ回路を通して得られた出力信号が論理演算回路に入力され、その出力信号またはそれを所定の段数のインバータ回路を通して得られた出力信号が前記インバータ回路群に含まれる前記インバータ回路の各々の少なくとも1個の第2の入力ゲートにフィードバックされたことを特徴とする半導体演算回路のことである。これにより参照電圧は回路内部で発生させることができたが、フィードバック構成を取るため参照電圧信号は常にある振幅を持って発振しており高精度なアナログ電圧比較演算を行う上で問題が残っていた。

【0005】

【発明が解決しようとする課題】そこで、本発明は、これらの問題を解決するために行われたものであり、バイナリ・多値・アナログ融合型演算処理回路で構成されたベクトル量子化プロセッサで用いられる最大値あるいは最小値検索演算を高速かつ高精度で実現する半導体演算装置を提供することを目的とする。さらに必要な順位の距離をもつベクトルを検索する機能を付加することを目的とする。

【0006】

【課題を解決するための手段】本発明は、少なくとも1つの第1電極と、ただ1つの第2電極が定められた比率で容量結合されたフローティングゲートを持つ第1増幅器の複数の組よりなる増幅回路群を有し、前記増幅回路群の出力信号を入力し0あるいは1の論理値を出力する論理演算回路を有し、前記論理演算回路の出力信号を入力としその出力が前記増幅回路群の全ての第2電極に分

配された第2增幅回路を有する多重ループ回路において、前記第2增幅回路が output 電流駆動能力を調節する調節回路と前記調節を所定の規則で制御する制御回路を有し、前記制御回路における前記調節が前記論理演算回路の出力の変化に合わせて実行されることを特徴としている。

【0007】

【作用】本発明により、バイナリ・多値・アナログ融合型演算処理回路で構成されたベクトル量子化プロセッサで用いられる最大値あるいは最小値検索演算を高速かつ高精度で実現する半導体演算装置が実現できた。さらに必要な順位の距離をもつベクトルを検索する機能を付加することも可能となった。

【0008】

【実施例】以下に実施例をあげ本発明を詳細に説明するが、本発明がこれら実施例に限定されることは言うまでもない。

【0009】(実施例1) 実施例1は本発明をベクトル量子化プロセッサに応用し、実際に開発を行った例である。したがってプロセッサ全体としての実施例の詳細について述べるが、本発明がベクトル量子化プロセッサだけに応用できるものではなく、複数の電圧信号の中から最大値や最小値などの所定の順位を持つものを選び出す機能の実現に対して応用できることは言うまでもない。

【0010】図1にνMOSアナログVQ(AVQ)プロセッサのブロックダイアグラムを示す。このAVQプロセッサはデジタルVQプロセッサとの互換性を考えデジタル信号である16要素の入力ベクトル(106)をプロセッサの前段でD/A変換(101)を行ないアナログ信号としてプロセッサに入力することを想定した。したがって入力がもともとアナログ信号形式をとる場合にはD/A変換器

(101)を用いる必要はない。アナログ入力ベクトルとコードブックベクトルとの差分絶対値距離は256ベクトルマッチングブロック(102)において完全並列にアナログ多値演算を用いて求められる。このマッチングブロックには256個のコードブックベクトルの値が多値ROM技術を用い予めパターン形成により多値形式で回路中に書き込んである。次に求めた距離の最も小さいものを選びだす操作をWTAブロック(103)において実行し、最小値距離を持つコードブックベクトルの位置にのみバイナリ論理で1の信号を出力させ、その他の出力は全て0とする。WTAでの演算結果は256個のラッチ回路(104)に保持されその後W0(Winner-Observer)ブロック(105)においてバイナリコードに変換し出力する。これらの操作を通して最も似たパターンのコードを得る。

【0011】図2はベクトルマッチングブロックの構成を示したものである。マッチングブロックはマッチングセル(差分絶対値回路)(203)を格子状に配列した構造となっている。入力アナログベクトル(201)の

10

各要素はスイッチングブロック(202)を介して並列に全てのマッチングセル(203)に分配される。それぞれのマッチングセル(203)にはコードブックベクトルの要素の値が予め記憶されており、ここで入力ベクトルの各要素とコードブックベクトルの各要素間の値の差の絶対値が計算される。そしてその結果は容量結合を介してνMOSコンパレータのフローティングゲート(204)に転送され、このフローティングゲート上で16要素分のマッチングセルからの出力の和が求められ、これにより差分絶対値距離が得られる。

20

【0012】図3に示す様に、マッチングセルは入力ゲートを2つ持つ同一仕様のp-νMOSを2個並列に接続した形のνMOSソースフォロア・多値ROMメモリ一体型差分絶対値回路を用いて構成した。ここでVinとVmはそれぞれ入力ベクトルとコードブックベクトルの一つの要素の信号電圧を表わしている。Vmの値はνMOS多値ROMメモリ技術を応用しこれら2つのνMOSのフローティングゲートに結合する容量C1(310, 312)とC2(311, 313)の容量分割比により記憶されており、その比はレイアウト時にそれぞれの容量比をいくつにするかで予め設定しておく。記憶された値は、それぞれの入力端子に電源電圧Vdd(314)とVss(=0)(315)を供給することで、νMOSのフローティングゲート上に読みだすことができる。その値は全入力容量に対して次式で求められる値を入力した時と等価的に同じ値となる。

$$V_n = C_1 V_{dd} / (C_1 + C_2) \quad (1)$$

30

この差分絶対値回路のオペレーションはプリチャージサイクル(319)とエバリュエーションサイクル(322)の2つのサイクルに分けて行われる。プリチャージサイクルではそれぞれのフローティングゲートをVdd-|Vtp+|(307)にバイアスする。ここでVtp+はp-νMOSのフローティングゲートから見たp-MOSFETの閾値電圧Vtpより若干大きな値に設定する。また出力端子(308)はVddに接続し出力負荷容量をプリチャージしておく。この時2つのp-νMOSはON状態にあるのでドレン側につながるスイッチ(304)を切り貫通電流が流れるのを防いでおく。その後、Vinを左側のp-νMOSの両方の入力端子(310, 311)に入力し、右側のp-νMOSの入力端子には入力容量C1(312)にVdd(314)、入力容量C2(313)にVss(315)を別々に印可しておく。この操作により、左右のp-νMOSにはそれぞれVinとVmが入力されたことになり、これらの電圧値に相当する電荷が左右のp-νMOSのフローティングゲートにそれぞれ蓄えられることになる。

40

【0013】次にエバリュエーションサイクル(322)では、フローティングゲートをVdd-|Vtp+|(307)から切り離した後、p-νMOSの入力端子のバイアスを左右逆転させる。これにより左右のp-νMOSのフローティングゲートの電圧φFL、φFRはそれぞれ次式で表わされる値となる。

50

$$\phi_{FL} = V_{dd} - |V_{tp^+}| + \gamma (V_m - V_{in})$$

$$\phi_{FR} = V_{dd} - |V_{tp^+}| + \gamma (V_{in} - V_m)$$

$$\gamma = (C_1 + C_2) / (C_1 + C_2 + C_0) \quad (2)$$

ここで C_0 はゲート容量や寄生容量など入力容量以外でフローティングゲート上に結合している全ての容量を表している。この状態でソース側のスイッチをOFFにし、ドレイン側のスイッチ(304)をONとすることで、2つのp- ν MOSをソースフォロア動作させる。これにより出力電圧が左右のp- ν MOSのフローティングゲート電圧の内の低い方の電圧値に閾値電圧 $|V_{tp}|$ を加算した値と同じ電圧になるまで出力負荷に蓄えられていた電荷が放電される。最終的に出力電圧 V_{out} が到達する値は、

$$V_{out} = V_{dd} - \Delta - \gamma |V_{in} - V_m|$$

$$\Delta = |V_{tp^+}| - |V_{tp}| \quad (3)$$

となり、これにより二つの入力 V_{in} および V_m の差分絶対値に相当する電圧が出力端子に取り出される。

【0014】図2に示す様に、1つの ν MOSコンパレータのフローティングゲートには16個のマッチングセルからの出力以外にもう1つ参照電圧信号を入力するゲートを容量結合しておく。このゲートはマッチングセルに接続されている全ての容量の合計と同じ大きさの容量値となるよう設定した。ここでこの容量比はその時の設計仕様に応じて適切な値に設定できることは言うまでもない。差分絶対値距離が出力されている間(エバリュエーションサイクル時)、 ν MOSコンパレータのフローティングゲートはその出力端子と短絡しておく。この時、参照電圧信号の入力端子は V_{dd} にバイアスしておく。これによりマッチングの度合いを表現する差分絶対値距離の情報は電荷として ν MOSコンパレータのフローティングゲートに蓄えられ、差分絶対値距離演算処理とWTA処理のパ

10

*イープライン化が実現できる。

【0015】 ν MOSコンパレータの短絡が解除され、全マッチングセルからの入力が V_{dd} に切り替わった時点(プリチャージサイクル時)、 ν MOSコンパレータの参照電圧信号入力端子からみた閾値は差分絶対値距離に相当する値に設定されることになる。いいかえると、それぞれの ν MOSコンパレータの閾値がマッチングの度合いにより決定されることとなる。今回の仕様では差分絶対値距離が大きくなる程その閾値は低くなる。したがって、WTAではコンパレータの閾値の最も高いものを選び出すことで差分絶対値距離の最小値を検索することができる。

10

【0016】図4は参照電圧を多段階に変化させる参照電圧自己収束方式の一例を示したものである。この方式は参照電圧信号の掃引方向を最大値が検出される毎に多段階に反転し、同時にその速度を1回毎に a 倍ずつ低下させ、参照電圧を次第に ν MOSコンパレータの閾値の最大値付近に収束させていく方式を取っている。ここで a は1以下の正の定数である。この図において L_0 [V/sec]は式4で定義する値であり、遅延時間 t_d で参照電圧を電源電圧 V_{dd} 変化させた時の掃引速度を表している。

20

$$L_0 = V_{dd} / t_d \quad (4)$$

第1段階の掃引は掃引速度 aL_0 で行なうこととした。これは掃引速度が L_0 以上となると最大値が検出される前に参照電圧信号が V_{dd} または V_{ss} に振り切れてしまい無意味な掃引を行うこととなるからであり、 L_0 に a をかけることにより必ず L_0 以下の掃引速度で初回の掃引を行なうこととしている。掃引を行なう回数を n 回としたとき、図4から参照電圧を最終段階まで変化させるために必要な時間 T [sec]は式5の様に求められる。

$$(a^{-1} t_d + t_d) \quad (5)$$

※はフィードバック信号が回路中を伝搬するのにかかる遅延時間である。最終段階における掃引速度 aL_0 がこの L_f と等しいとすると、式4を使って、

$$a = (\Delta V / V_{dd})^{1/n} \quad (7)$$

の関係が導出される。

【0018】式4と式7を式5に代入し整理すると、

$$(V_{dd} / \Delta V)^{1/n} + n \quad (8)$$

る必要がある。図5は ΔV の値をいくつか変化させた時の検索時間 T の値を掃引回数 n に対してプロットしたものである。この計算では典型的なパラメータとして $V_{dd}=5V$ 、 $t_d=10nsec$ 、 $VT=4V$ を用いた。各 ΔV の値に対し T が最小になる n の値が存在し、この n の値は ΔV が小さくなるに連れて大きくなっていることが分る。 ΔV が500mV以下の場合、 $n=1$ のランプスキャン方式の検索時間に比べて、参照電圧自己収束方式により検索時間が圧倒的に短縮化できることが分る。また、それぞれの T の最小値は ΔV が小さくなるほど大きくなる。すなわち、より精度の高い検索を行なう時にはより検索時間を必要とするということ

ここで VT [V]は電源電圧 V_{dd} から検索すべき ν MOSコンパレータの最大閾値電圧までの電圧振幅である。

【0017】最終段階における検索では式6で決定される掃引速度 L_f [V/sec]以下で参照信号を変化させる必要がある。

$$L_f = \Delta V / t_d \quad (6)$$

ここで、 ΔV [V]は要求される検索精度であり、 t_d [sec]※

$$T = t_d ((n-1) + V_t / V_{dd})$$

の関係が得られる。この結果から本方式の場合検索時間 T はフィードバック遅延時間 t_d に比例して増加することがわかる。さらに T は VT の値が大きくなるほど長くなる。すなわち非常に距離が大きい場合検索時間がより長く必要となることが分る。また $n=1$ の時、式8は、

$$T = (V_t + \Delta V) / L_f \quad (9)$$

と表わされる。この式はWTAで検索すべき電圧までの振幅 VT に精度 ΔV を加えたものを最終掃引速度 L_f で割った値となっていることから、これはランプスキャン方式における検索時間と等価な式であることがわかる。

【0019】 n の値は検索時間 T が最小となるように定め

40

50

を意味する。これらの結果から精度の高い検索をより高速に実行する際に今回提案した参照電圧自己収束方式は有効な手法であるといえる。

【0020】この参照電圧自己収束方式を持つWTAを発振型 μ MOS WTAにより実現したのが図6である。この図はマッチングブロックがプリチャージサイクル時のWTAの動作を単純なブロック図を使って示したものである。 μ MOSコンパレータ(603)は256個並列に用意し、先に述べたようにマッチングブロックで得られた差分絶対値距離(601)がそれぞれのフローティングゲート(602)上に電荷として蓄えられている。この256個のコンパレータの出力はORゲート(608)に集められる。さらにORゲートの出力が高ゲインアンプ(609)とコントローラ(610)で制御された可変抵抗(611)を介して全てのコンパレータの参照電圧信号入力端子(612)にフィードバックされる構成となっている。したがって、これらは256個の多重ループの μ MOSリングオッシャレータを形成していることになり、そのまま動作させれば参照電圧VR(612)はある電圧振幅をもって発振することとなる。

【0021】閾値の最大値とその他の値との識別精度はこのリングオッシャレータで発振させられたVR波形の立ち上がりおよび立ち下がりの掃引速度とループ遅延時間によって決定される。掃引速度は高ゲインアンプが可変抵抗を介して全ての μ MOSコンパレータの入力容量を駆動する電流駆動能力に依存する。VRが自己収束するよう制御するために、可変抵抗の値をダイナミックに切り替えて電流駆動能力を変化させ、その掃引速度を制御した。

【0022】まず最初は、可変抵抗の値を最も小さいものに設定しておく。したがって、マッチングブロックのエバリュエーションサイクルでVddに充電されていた μ MOSコンパレータの参照電圧入力容量は高速に放電され、VRは大きく変動する。すなわち高速かつ粗い検索が実行されることになる。VRが μ MOSコンパレータの最大閾値を通過すると μ MOSコンパレータが反転し、その信号がORゲート、高ゲインアンプおよび可変抵抗を介して再び μ MOSコンパレータの入力ゲートにフィードバックされる。しかしこの伝達にかかる遅延時間でVRは最大閾値電圧を既に行き過ぎてしまっている。そこで、信号がフィードバックされるのにあわせて、コントローラで可変抵抗の値をより大きなものに切り替え、今度は掃引速度を遅くして入力ゲートを充電する。これによりVRの変動量は緩やかとなり、やや精度の高い検索が実行される。その後同様な操作を繰り返し行い、可変抵抗の値を段階的に増大させることによりVRの掃引速度を順次減少させ、VRの行き過ぎ量を低減し、検索精度を徐々に増加させてゆく。最終段階においては可変抵抗の値を最も大きな値に設定し、VRを非常にゆっくりと変化させる最高精度の検索を実行する。このようにしてVRの掃引速度を制御し最終的には最小距離情報を持つコンパレータのみを発振

させるようにする。最小距離を持つ場所はその位置が決定した段階でバイナリ信号としてラッチ回路(605)に取り込み、W0回路(606)によってその位置を符号化し8ビットのコード(607)を得る。

【0023】従来の μ MOS WTA回路ではWTA外部よりランプ信号を入力して最小値検索を行う必要があった。しかしこの方式では μ MOSコンパレータに使用する参照電圧信号が自動的に生成できる。このため自律的な制御機能を持った回路であるといえる。

【0024】また、本実施例においてはORゲートを用いたが、ここにANDゲートを用いた場合、他は全く同様な構成で最大距離を持つコンパレータのみを発振させることでできることは言うまでもない。

【0025】このWTAにおいて各掃引段階における参照電圧はその時の可変抵抗値と参照電圧信号の全負荷容量によって決定されるRC時定数で指數関数的に変化し、その速度は掃引開始時の参照電圧の値によって異なる。したがってこの回路で図4の参照電圧制御と全く同じ動作を実現することはできない。しかし擬似的にその動作を実現し検索の高速化を図ることは可能である。ここでは問題を簡単化するために参照電圧の時間変化が全てRC時定数によって決まる掃引速度で直線的に変化するものと仮定し、参照電圧自己収束方式を実現した。このRC時定数による掃引速度は電源電圧VddをそのときのRC時定数で割った値で定義した。RC時定数による最終掃引速度を式6のLfと等しくするために、最終可変抵抗値Rf[Ω]を式10の様に定めた。

$$R_f = V_{dd} / C_{Vr} L_f \quad (10)$$

ここでCVr[F]は回路中から抽出される参照電圧信号ラインの全負荷容量の値である。また回路遅延から図5に従い検索速度が最小となるnの値を定め、それ以外のi番目の掃引段階における可変抵抗の値Riを式7のaの値から、

$$R_i = (\Delta V / V_{dd})^{(n-1)/n} R_f \quad (11)$$

の様に設定した。但し今回的方式では、検索電圧が最大値であり電源電圧から参照電圧の掃引を開始するためnの値は必ず奇数である必要がある。

【0026】 μ MOS AVQプロセッサは東京大学大規模集積回路設計教育センター(VDEC)の試作サービスを用いてMotorola 1.5 μ m CMOS 2層ポリシリコン2層メタルプロセスにより試作した。

【0027】今回作製したAVQプロセッサでは、差分絶対値回路のC1とC2を合計16個の単位容量で構成し適宜その比率をかえることで17値の多値で表わされるVmの値を μ MOS多値ROMメモリに記憶させた。図7はVmのレベルとして0を記憶させた差分絶対値回路の動作をHSPICEシミュレーションによって観測した結果である。ここでこの結果はVDEC試作サービスによるMotorola 1.5 μ m CMOSプロセスから抽出されたLEVEL=28のMOSFETのデバイスパラメータを用いて得られたものである。ソースフォロア動作を行なうp- μ MOSは最小設計ルールのW/L=3 μ m/1.5 μ m

とした。またC1およびC2は1単位16fFの容量で構成しており、このシミュレーションでは0レベルを表わすためにC1:C2=0:16の比率で容量を設定した。電源電圧Vddは5Vとし、|Vtp+|を1Vと設定しフローティングゲートの充電は4Vで行った。また外部入力信号をプリチャージサイクルとエバリュエーションサイクルそれぞれに対応するように切り替えるスイッチングブロック(図2)もシミュレーション上で構築し、この出力を差分絶対値回路に入力することで差分絶対値回路の動作を観測した。さらに実際の試作チップの状態をできるだけ正確に再現するためレイアウト結果から得た配線容量、基板容量などの寄生容量も付加してシミュレーションを行った。

【0028】図7の1段目の波形は外部入力信号(703)であり、5Vのダイナミックレンジを持つ17値の多値電圧を0レベルから16レベルまで500nsecサイクル毎に入力している。2段目と3段目の波形(704, 705, 706, 707)はスイッチングブロックから出力され差分絶対値回路の左右の入力ゲートのC1、C2にそれぞれ入力される信号波形である。このように一つの外部入力信号に対して左右交互に値を切り替えることで差分絶対値演算を行っている。4段目の波形は差分絶対値回路の左右のp-νMOSのフローティングゲート電位の変化(708, 709)を示している。今回の条件においては記憶レベルが0であるためエバリュエーションサイクルにおいては4Vを起点として左のフローティングゲート電位が負の方向に、右が正の方向に向かってそれぞれ入力レベルに対応する値が変化している。右の電位の上昇に上限があるのは回路中のソースドレインpn接合に順バイアスが加わりON電圧に達するためである。最後の波形は差分絶対値回路の出力(710)を観測した結果である。ソースフォロア動作はフローティングゲート電圧が安定した後に実行し、これにより出力負荷容量に蓄えられた電荷を放電する。この結果では全て左側のp-νMOSのフローティングゲート電位に対応して放電が行なわれていることが分る。

【0029】図7と同様な方法で17レベル全ての多値ROM構成をもつ差分絶対値回路を構成し、その外部入力信号に対する出力特性をシミュレーションによって求めた結果を図8に示す。出力のダイナミックレンジは1.32Vから4.72Vまでの3.4Vであり電源電圧5Vに対する比は0.68であった。入力レベル全てに渡ってほぼ線形な特性が得られている。今回のAVQプロセッサにはこれらの差分絶対値回路を用いてKohonenの自己組織化マップを用いて画像用に作成した16次元256個のコードブックをレイアウト作成時に予め記憶させた。

【0030】ここで今回ソースフォロア動作を行なうMOSFETとしてp-νMOSを用いた理由は、使用したチップ製造プロセスが単一nウェルCMOSプロセスであったためである。すなわちMOSFETの基板をソース電極と短絡しその電位を各々独立に制御し基板バイアス効果による閾値の

変動を除去するためには、ソースフォロア動作を行わせるνMOSとしてはp-νMOSしか用いることができなかつたためである。したがって製造プロセスが許せばn-νMOSを用いても同様な方式で差分絶対値回路を構成することは可能である。

【0031】図9にνMOSコンパレータの構成を示す。νMOSコンパレータは高ゲインを実現するために5段のインバータ構成となっている。1段目は複数の入力が容量結合によってCMOSインバータ(910)に接続されており、νMOSインバータである。残りは全て通常のCMOSインバータ(913, 915, 916, 917)であり、2段目だけは容量結合を介して1段目のνMOSインバータの出力にその入力が接続されている。νMOSインバータのフローティングゲートはマッチングセルからの16個の入力(ここでは簡単に1つの入力としてまとめて書いている)および参照信号入力それぞれと1対1の比で容量結合されている。リセット時には参照信号入力をVddにバイアスした状態でマッチングセルより差分絶対値距離を入力し、1段目と2段目のインバータの入出力を順次短絡する。これにより差分絶対値距離がνMOSインバータのフローティングゲートに電荷として蓄えられ、νMOSコンパレータの閾値が距離に対応する電圧に設定される。WTA動作時にはマッチングセルからの入力はVddとなり、参照電圧信号にて検索を行う。

【0032】今回のAVQプロセッサではWTAにおける検索精度を5mVと設定し、図6を用いて掃引回数を5段にとることに決めた。これより式10および11に従い各サイクルにおける可変抵抗の値を決定した。図10にこうして求めた抵抗値を実現するための可変抵抗の等価回路とその切り替えシーケンスを示す。可変抵抗は5つのCMOSスイッチを並列に用いてそれぞれのMOSFETのW/L比を適宜調整することでそのON抵抗を設定し、これらをON、OFFすることで全体の抵抗値を実現した。その制御はコントローラにてWTAのORゲートの出力を観測しその立ち上がりおよび立ち下がりエッジを検出し、このタイミングに合わせて図に示す様に行なった。

【0033】図11にこの様にして構成した参照電圧自己収束型WTA回路の動作をHSPICEシミュレーションにて観測した結果を示す。このシミュレーションでは256個のνMOSコンパレータの内、一つのコンパレータのマッチングブロックからの入力端子に全て2.5Vを入力しその他はこれより10mV低い電圧を入力しコンパレータのリセットサイクルを実行した。1段目の波形(1107, 1108)は参照電圧信号とコンパレータからの出力をまとめるORゲートからの出力信号を観測したものである。2段目の波形(1109, 1110)は最も閾値の高いνMOSコンパレータ(勝者)とそれ以外のコンパレータ(敗者)の出力である。3段目の波形(1111, 1112)はラッチ回路の出力である。参照信号が5回の掃引により自己収束的に目標値の2.5Vに落ち着いて行く様

子が観測されている。またこれに伴い敗者の出力の発振は途中で停止しており、最終的には勝者の出力のみが発振を繰り返している。図を見ると明らかに5回掃引が終了した後、全ての μ MOSコンパレータの出力をラッチ回路にとり込むことで勝者と敗者の選別結果が保持されている。またこのシミュレーションでは遅延時間 t_d は10nsec程度であり、最大値検索時間は約280nsecであった。図6で示される値に比べて若干遅くなっているが、同様な操作をランプスキャン方式で実現した場合式9より約5 μ secとなることから、この条件では自己収束方式を用いることでランプスキャン方式に比べ約18倍の速度向上が実現されるていることがわかった。

【0034】図12に今回作製したアナログVQチップのチップ写真を示す。チップサイズは7.2mm×7.2mmであり208pin SQFPパッケージに収められている。256コードブックベクトル用のマッチング回路は上下に半分ずつに分割してレイアウトを行った。中心にWTA回路とW0回路を配置し差分絶対値距離信号がチップの中心に向かって出力される構成となっている。参照信号を256個の μ MOSコンパレータに伝達する配線はH-Tree方式で構成し遅延時間の差が極力抑制されるよう考慮した。図13に今回作製したチップの回路面積を各要素ブロック毎にデジタルVQプロセッサと比較した結果を示す。デジタルVQプロセッサが0.6 μ m²デザインルールのため回路面積の比較はアナログVQプロセッサの面積を0.6 μ m²に換算して行った。比較の結果、約85%の面積縮小がアナログVQプロセッサにおいて達成されていることがわかる。これは回路の大部分を占めていた差分絶対値回路の回路規模がアナログ多値回路を用いたことで大幅に縮小されたためである。この結果から今回のアナログ多値方式を0.6 μ m²デザインルールで用いることで2048個のコードブックベクトルに対応したVQプロセッサを1チップで十分実現できるといえる。

【0035】図14にチップの全体動作波形をロジックアナライザを用いて測定した結果を示す。この測定はチップの中の125番と126番のコードブックベクトルと同じベクトルを交互に入力して行った。今回のチップ作製においては制御信号はベクトルマッチングブロックに対しては5本、WTAブロックに対しては4本外部より入力するように設計した。これはアナログ回路における制御信号のタイミングずれによる問題を避けるためである。チップの制御は前述の通りのパイプライン動作を実行するよう正在进行している。5 μ sec周期と動作速度は遅いが所望の値が出力された結果である。

【0036】図15にWTAブロックの動作波形をオシロスコープを使って測定した結果を示す。1段目と2段目の信号はそれぞれ μ MOSコンパレータのリセットのための制御信号と μ MOSリングオッシャレータのフィードバック制御信号である。3段目の波形は参照電圧信号の変化の様子をボルテージフォロアのOPアンプを通して観測した結果である。

果である。また4段目と5段目の波形はそれぞれORゲートの出力波形とラッチ信号出力を観測したものである。

【0037】シミュレーション波形と同様に参照電圧の5段階の自己収束動作が確認され、可変抵抗の切替シーケンスが正常に動作していることが確認できた。またシミュレーションの結果と比べてORゲートの出力波形は0の期間が1の期間より短くなる顕著な結果が得られている。これはRC時定数を用いた掃引速度の制御では、変化させる電圧幅が大きいほどその速度が速くなる性質を持っているためである。すなわち、今回の場合 μ MOSコンパレータの最大閾値がVdd側に寄っているため0Vにむかって放電する速度の方が5Vに向かって充電する速度よりも速くなる傾向にあるためであると考えられる。

【0038】今回の設計ではWTAの検索時間が全てのコンパレータ最大閾値電圧に対して500nsec以内に収まることを目標としてシミュレーションおよび設計を行った。しかし実際にはラッチがかかるまでに1 μ sec程度を費やす結果となった。この原因は明らかにはできなかつたが、実際作製した回路において設計では抽出しきれなかった参照電圧信号ラインの寄生容量などの影響がまだ存在していた、あるいはフィードバック遅延時間が実際にはシミュレーション結果と異なっていたのではないかと推測している。しかしながら、この結果でも同じことをランプスキャン方式で実行しようとする場合、回路遅延が10nsecと考えても5mVの精度を出すためには掃引速度を0.5V/ μ sec以下に設定しなければならず、これで1.5Vの掃引を行なうと3 μ sec程度の検索時間がどうしてもかかってしまう。この場合に比べれば今回の参照信号自己収束方式は3倍程度の速度的優位性は図らずも確保されているといえる。

【0039】図16はチップの動作時のベクトルマッチングブロック(AVC)、WTAブロック、W0ブロックそれぞれの消費電力量をその動作周波数に対して別々に測定した結果である。ここで周波数を決める1サイクルはAVQプロセッサの一つのパイプラインサイクルで定義した。全体的にみて直流消費電力成分がほぼ大半を占めており、全体で約1W弱の消費電力量であった。

(実施例2) 本発明の第2の実施例を、図17の回路図を用いて説明する。図17は図6の回路図の内ORゲートを論理回路1708に置き換え、また記憶回路としてラッチ回路1705、1706を2段直列に接続しこれらの出力をそれぞれ排他的論理和ゲート1707に入力し、その出力により所定のベクトルに対する検索結果を得る構成となっており、その他は実施例1の場合と同様の構成をとっている。ここでは論理ゲート1708はそれぞれのコンパレータからの出力の内、1の数が3以上となった時に1を出す回路を例として示している。したがって、実施例1の場合と同様の動作により、最終的にはこの回路では入力された距離のうち、3番目に大きな距離が入力されたコンパレータのみが1と0を周期的に

繰り返して出力することとなる。論理ゲート1708は公知の回路技術を用いて実現することが可能である。例えば多入力で可変しきい値動作を容易に実現できるニューロンMOSトランジスタを用いてもこの回路を構成できることは良く知られている。またその他のデジタル論理回路を用いても実現可能である。本実施例においてはラッチ回路1705、1706を直列に接続しているため、可変抵抗の切り替えによる検索が最終段階に達したときの各コンパレータの出力と、その一回前の段階における出力の二つをラッチ信号1715により記憶することができる。したがってこれら出力の値をそれぞれ排他的論理和ゲートに入力しその差を比較することにより最終段階においても出力の変化を繰り返すコンパレータの位置を同定することができる。これにより距離の大きさが第3番目であるものを検索することが可能となつた。本実施例はあくまでも本発明の1例であって、同様の構成を取ることで検索する距離の大きさを第4番目にすることも、第10番目にすることも、あるいはそれ以外にすることも容易に実現できることは言うまでもない。特にニューロンMOSトランジスタの様な可変しきい値素子を用いれば、論理ゲート1708における1の数の設定を制御入力電極により容易に変更できるため、この順位を外部からの電気的制御信号1716により自在に変更する構成は容易に実現できる。またニューロンMOSトランジスタにこだわらずとも、外部信号により1の数の設定を変更できる論理ゲートは他の公知の技術を用いても実現可能であることは言うまでもない。また本実施例における記憶回路の構成でなくても同様の機能を満たす他の回路を用いても良いことは言うまでもない。

【0040】

【発明の効果】本発明によれば、バイナリ・多値・アナログ融合型演算処理回路で構成されたベクトル量子化プロセッサで用いられる最大値あるいは最小値検索演算を高速かつ高精度で実現する半導体演算装置が実現できる。さらに必要な順位の距離をもつベクトルを検索する機能を付加することも可能となる。

【図面の簡単な説明】

【図1】 ν MOSアナログVQプロセッサのブロックダイアグラム。

【図2】アナログベクトルマッチングブロック。

【図3】 ν MOSソースフォロア・多値ROMメモリ一体型差分絶対値回路の動作説明。

【図4】参照電圧自己収束方式。

【図5】式8により得られた掃引回数と検索時間の関係。

【図6】参照電圧自己収束型Winner-Take-All。

【図7】 ν MOS多値メモリに0を記憶させた差分絶対値回路のHSPICEシミュレーション波形。

【図8】HSPICEシミュレーションにより得た17値を記憶する全ての ν MOSソースフォロア・多値ROMメモリ一体型

差分絶対値回路の入出力特性。

【図9】 ν MOSコンパレータの構成。

【図10】可変抵抗の等価回路とその動作シーケンス

(a)掃引1回目から2回目 (b)2回目から3回目 (c)3回目から4回目 (d)4回目から5回目の切り替え動作。

【図11】参照電圧自己収束型WTA回路のHSPICEシミュレーションによる動作波形。

【図12】試作したアナログVQチップ写真。

【図13】デジタルVQチップとアナログVQチップの回路面積比較。

【図14】ロジックアナライザを用いて測定した試作チップ全体動作波形。

【図15】オシロスコープで測定したWTAブロック動作波形。

【図16】各ブロックの動作時消費電力測定結果。

【図17】本発明の第2の実施例を示す回路図である。

【図18】従来技術を示す回路図である。

【符号の説明】

101 D/A変換器

102 256ベクトルマッチングブロック

103 256並列WTAブロック

104 ラッチ回路

105 W0回路

106 デジタル形式の入力ベクトル

107 制御信号

108 コード出力

201 入力アナログベクトル

202 スイッチングブロック

204 ν MOSコンパレータのフローティングゲート

205 ν MOSコンパレータ

206 ν MOSコンパレータ列

207 参照電圧

301、302 p- ν MOS

303、304、305、306 スイッチ

307 フローティングゲート初期電圧設定端子

308 出力端子（出力負荷容量）

309 入力信号

310、311、312、313 結合容量

314 電源電圧端子

315 接地端子

316 参照電極

317 ν MOSコンパレータ

318 スイッチ

319 プリチャージサイクル

320 コンパレータ動作時

321 ν MOSコンパレータのフローティングゲート

322 エバリュエーションサイクル

323 コンパレータリセット時

401 参照電圧

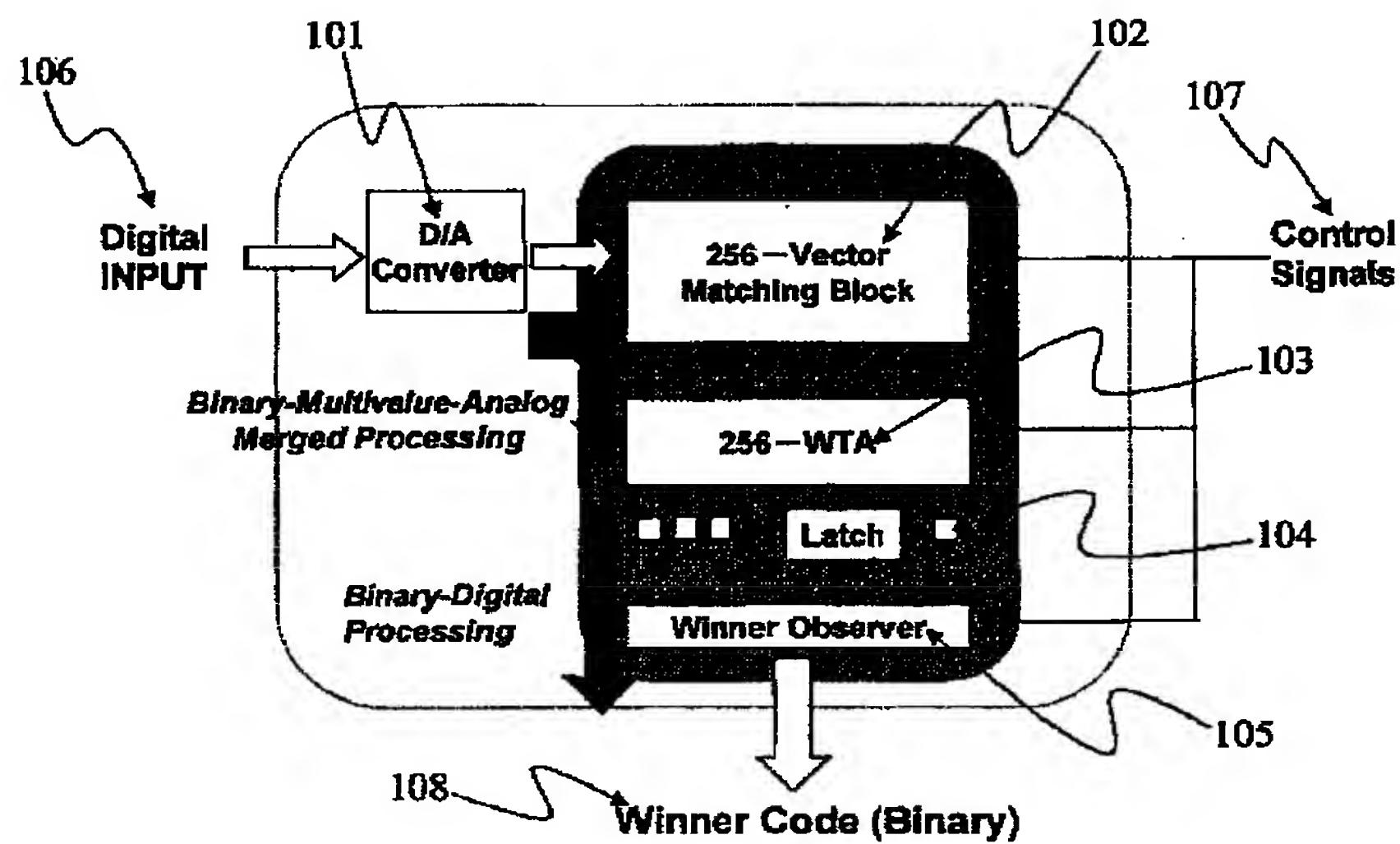
402 時間

5 0 1 検索時間
 5 0 2 切り替え段数
 6 0 1 差分絶対値距離信号
 6 0 2 ν MOSコンパレータのフローティングゲート
 6 0 3 ν MOSコンパレータ
 6 0 4 ν MOSコンパレータ列
 6 0 5 ラッチ回路
 6 0 6 W0回路
 6 0 7 8ビットコード出力
 6 0 8 ORゲート
 6 0 9 高ゲインアンプ
 6 1 0 コントローラ
 6 1 1 可変抵抗
 6 1 2 参照電圧信号入力端子
 6 1 3 可変抵抗値制御信号
 6 1 4 リセット信号
 6 1 5 ラッチ信号
 7 0 1 電圧
 7 0 2 時間
 7 0 3 外部入力信号
 7 0 4 左の容量C1への入力信号
 7 0 5 左の容量C2への入力信号
 7 0 6 右の容量C1への入力信号
 7 0 7 右の容量C2への入力信号
 7 0 8 右のp- ν MOSのフローティングゲート電位
 7 0 9 左のp- ν MOSのフローティングゲート電位
 7 1 0 差分絶対値回路の出力
 8 0 1 差分絶対値回路からの出力電圧
 8 0 2 差分絶対値回路への入力電圧
 8 0 3 C1およびC2の容量結合比
 9 0 1 入力
 9 0 2 スイッチ
 9 0 3 入力電極 (入力容量)
 9 0 4 電源電圧端子
 9 0 5 スイッチ
 9 0 6 参照電圧電極 (参照電圧入力容量)
 9 0 7 フローティングゲート
 9 0 8 スイッチ
 9 0 9 参照電圧信号
 9 1 0 CMOSインバータ
 9 1 1 スイッチ
 9 1 2 容量
 9 1 3 CMOSインバータ
 9 1 4 スイッチ
 9 1 5、9 1 6、9 1 7 CMOSインバータ
 9 1 8 ORゲート
 9 1 9 コンパレータリセット時
 9 2 0 コンパレータ動作時
 1 0 0 1 ORゲートからの入力
 1 0 0 2 高ゲインアンプからの入力

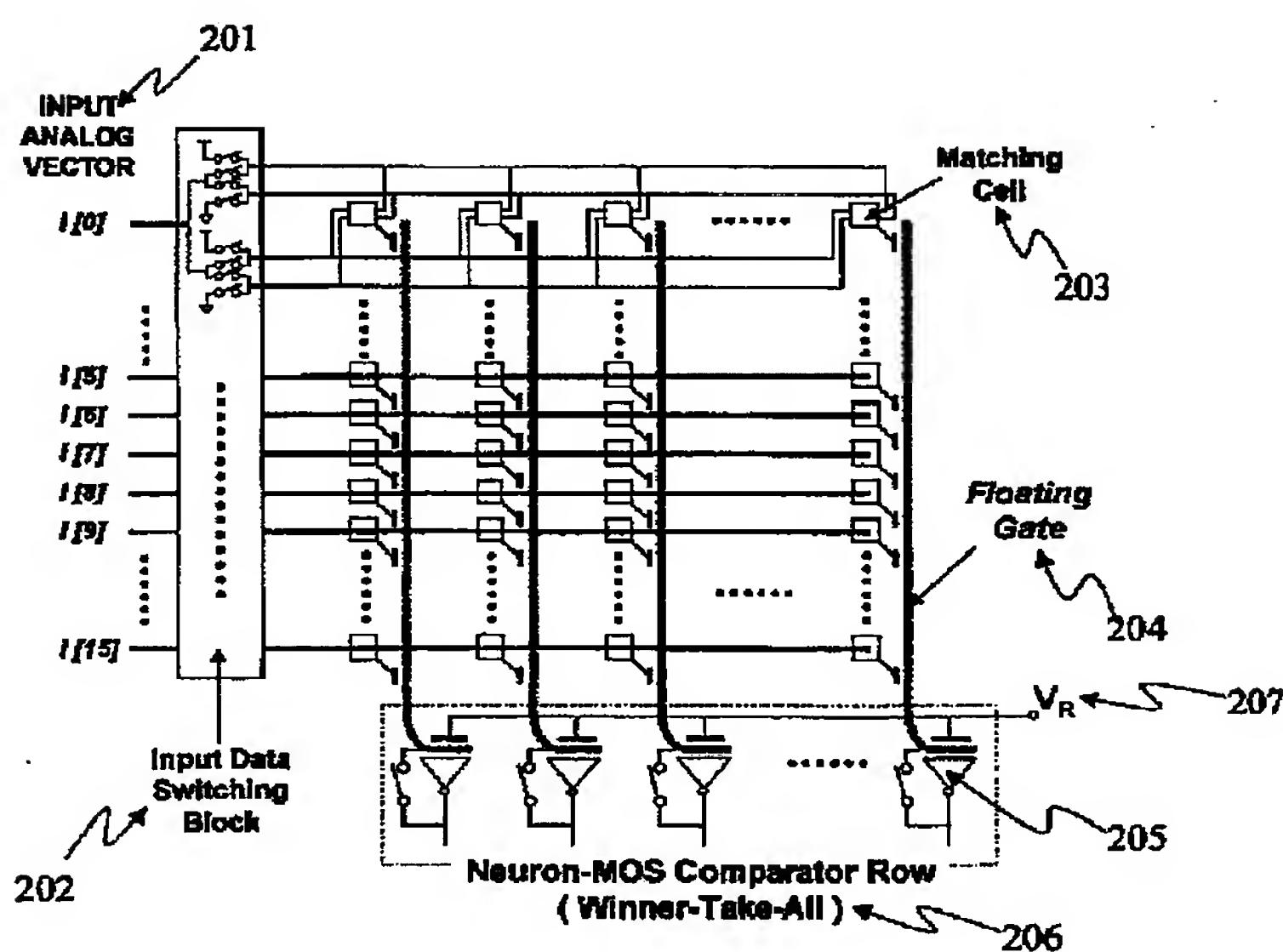
1 0 0 3 コントローラ
 1 0 0 4 5つのCMOSスイッチを並列接続した回路の等価回路
 1 0 0 5 参照電圧信号
 1 0 0 6 全 ν MOSコンパレータの参照信号電極容量
 1 1 0 1、1 1 0 2、1 1 0 3 電圧
 1 1 0 4 時間
 1 1 0 5 WTAリセット期間
 1 1 0 6 検索終了タイミング
 10 1 1 0 7 ORゲートからの出力
 1 1 0 8 参照電圧信号
 1 1 0 9 最も閾値の高い ν MOSコンパレータの出力
 1 1 1 0 閾値の低い ν MOSコンパレータの出力
 1 1 1 1 最も閾値の高い ν MOSコンパレータが接続されたラッチの出力
 1 1 1 2 閾値の低い ν MOSコンパレータが接続されたラッチの出力
 1 3 0 1 デジタルVQプロセッサ
 1 3 0 2 アナログVQプロセッサ
 20 1 3 0 3 ベクトルマッチングブロックの占有面積
 1 3 0 4 メモリの占有面積
 1 3 0 5 WTAおよびW0の占有面積
 1 5 0 1 電圧
 1 5 0 2 時間
 1 5 0 3 エバリュエーションサイクル
 1 5 0 4 プリチャージサイクル
 1 5 0 5 WTAリセット信号
 1 5 0 6 ループ開放制御信号
 1 5 0 7 参照電圧
 30 1 5 0 8 ORゲート出力
 1 5 0 9 ラッチ信号
 1 6 0 1 消費電力
 1 6 0 2 動作周波数
 1 6 0 3 WTAの消費電力
 1 6 0 4 ベクトルマッチングブロックの消費電力
 1 6 0 5 W0の消費電力
 1 7 0 1 差分絶対値距離信号
 1 7 0 2 ν MOSコンパレータのフローティングゲート
 1 7 0 3 ν MOSコンパレータ
 40 1 7 0 4 ν MOSコンパレータ列
 1 7 0 5、1 7 0 6 ラッチ回路
 1 7 0 7 排他的論理和ゲート
 1 7 0 8 論理回路
 1 7 0 9 高ゲインアンプ
 1 7 1 0 コントローラ
 1 7 1 1 可変抵抗
 1 7 1 2 参照電圧信号入力端子
 1 7 1 3 可変抵抗値制御信号
 1 7 1 4 リセット信号
 50 1 7 1 5 ラッチ信号

1716 外部制御信号

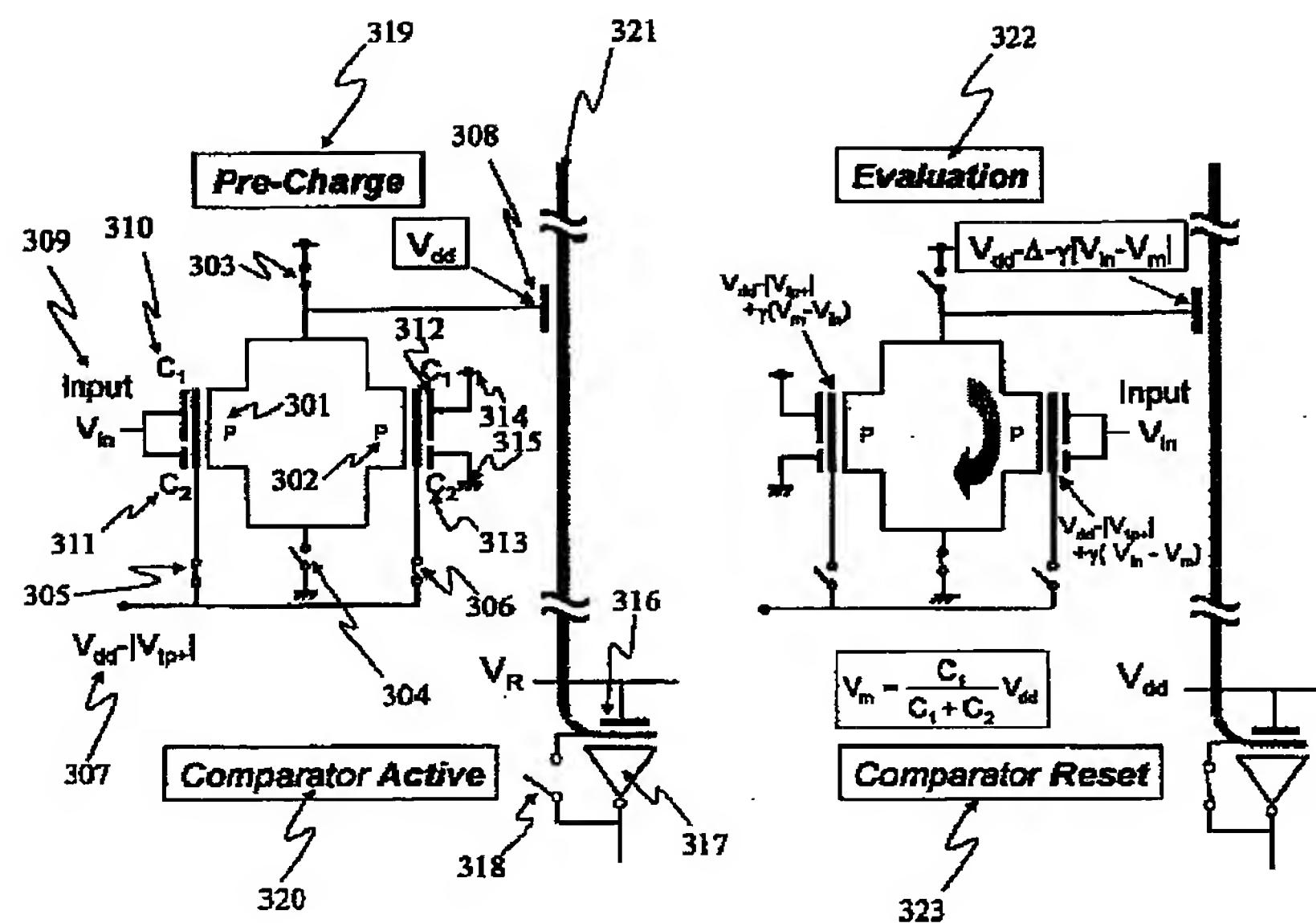
【図 1】



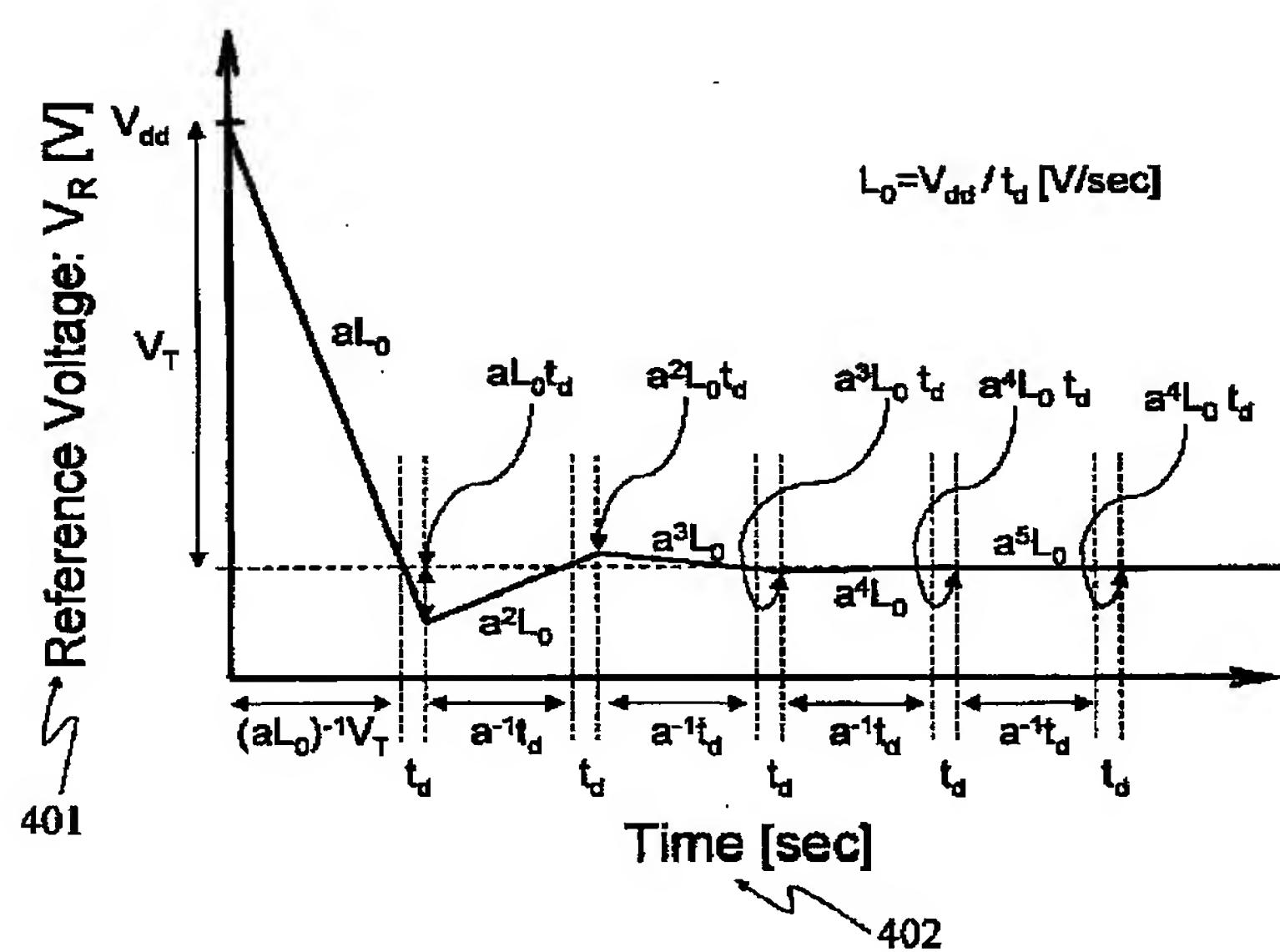
【図 2】



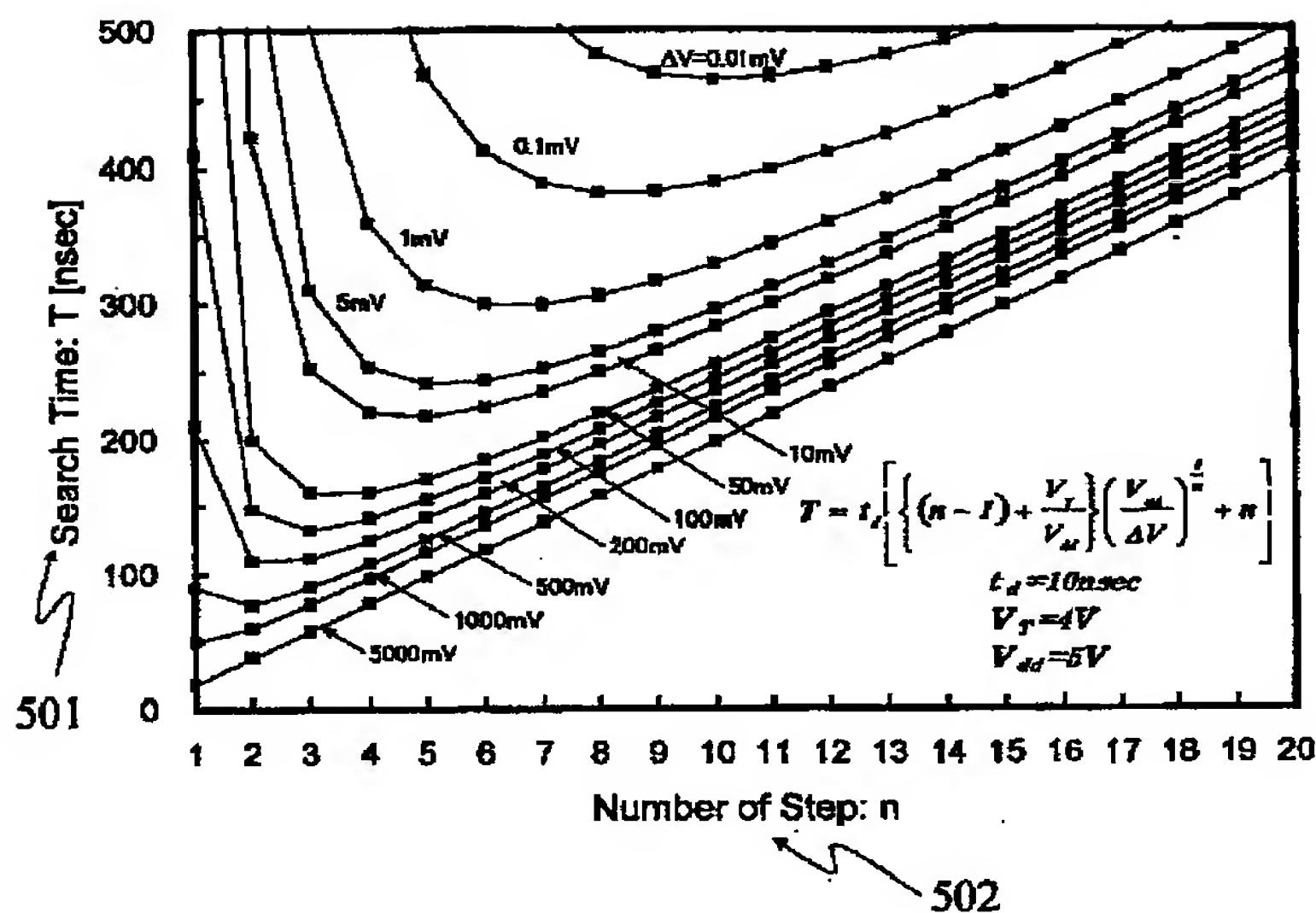
【図3】



【図4】

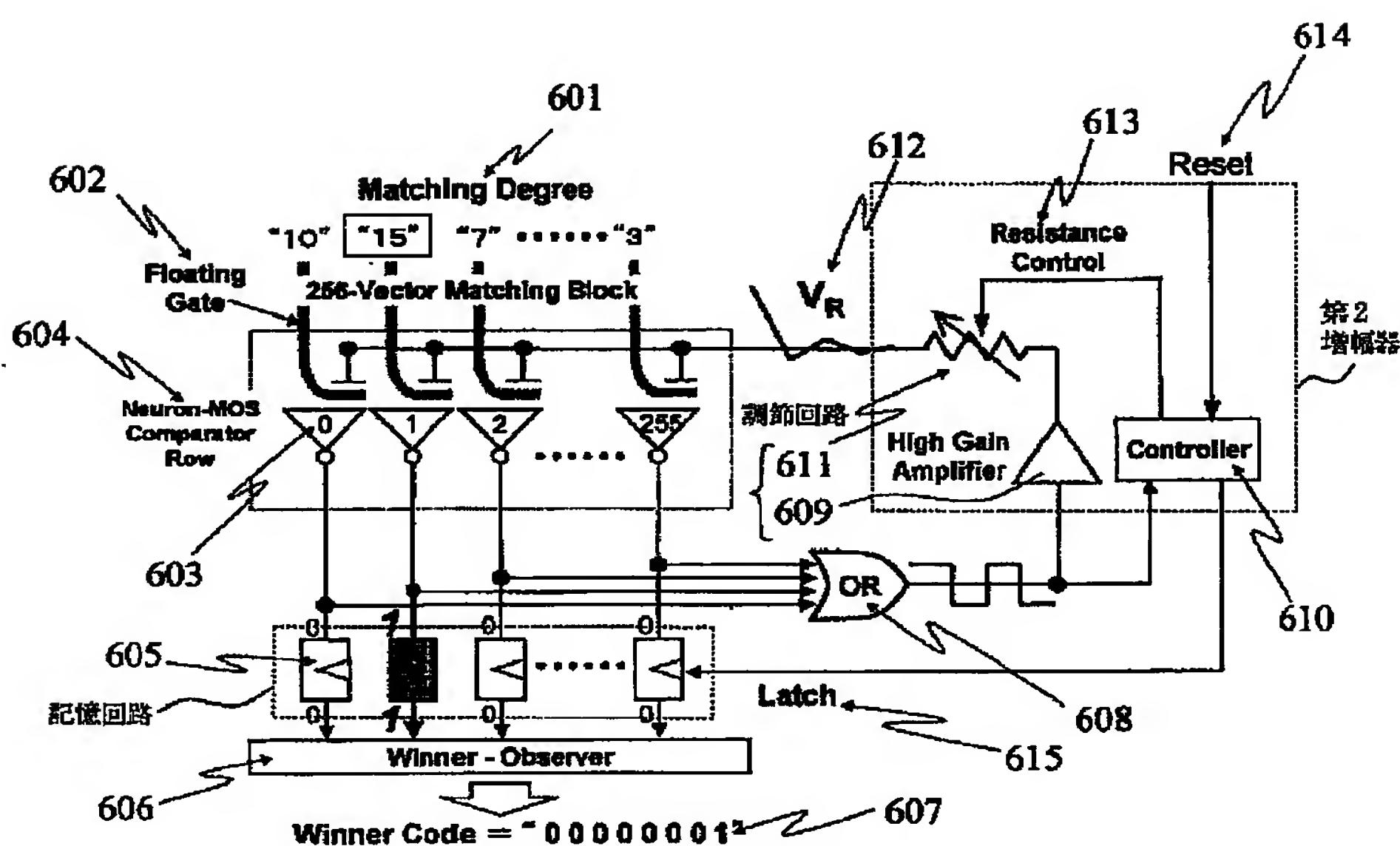


【図5】

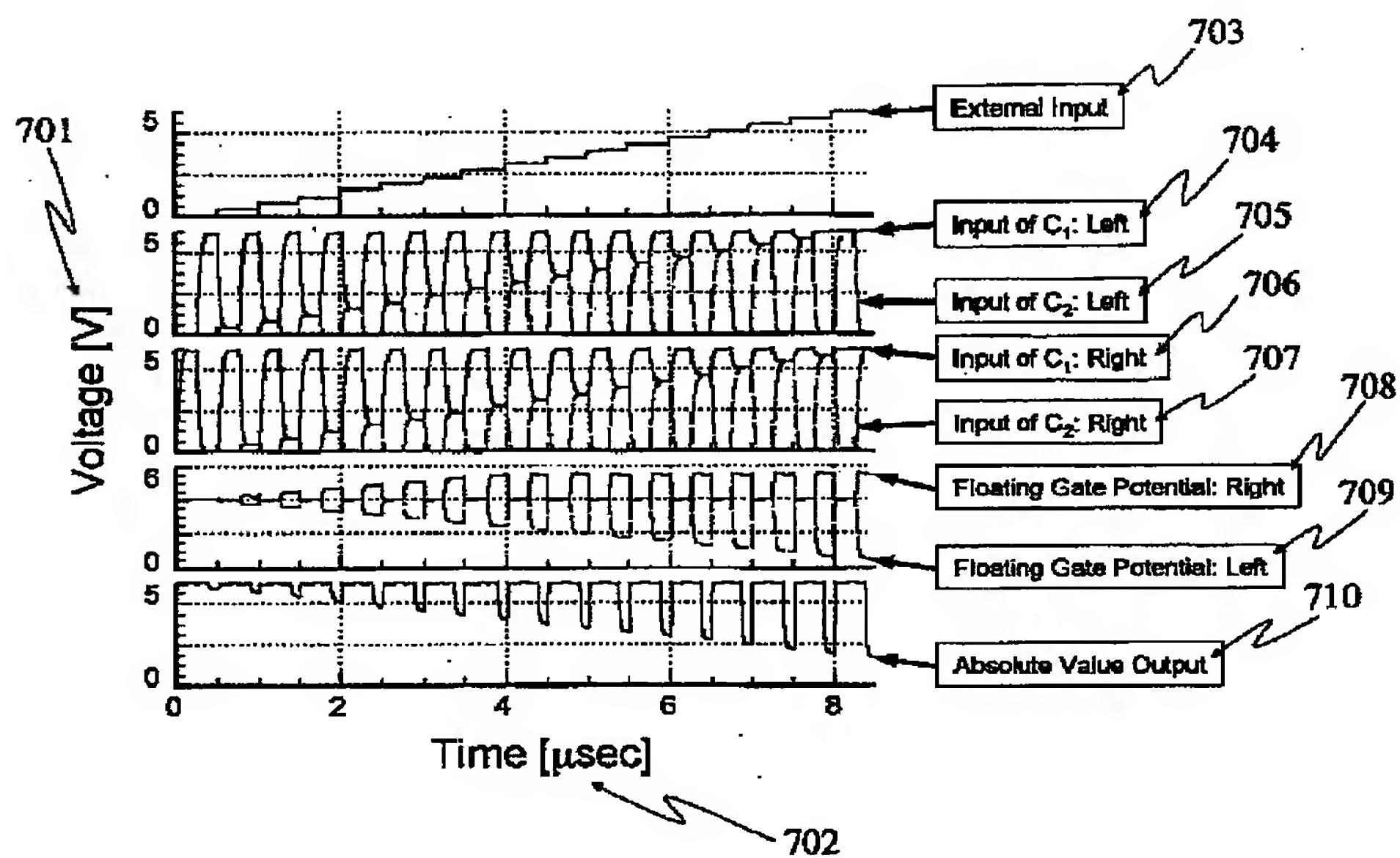


502

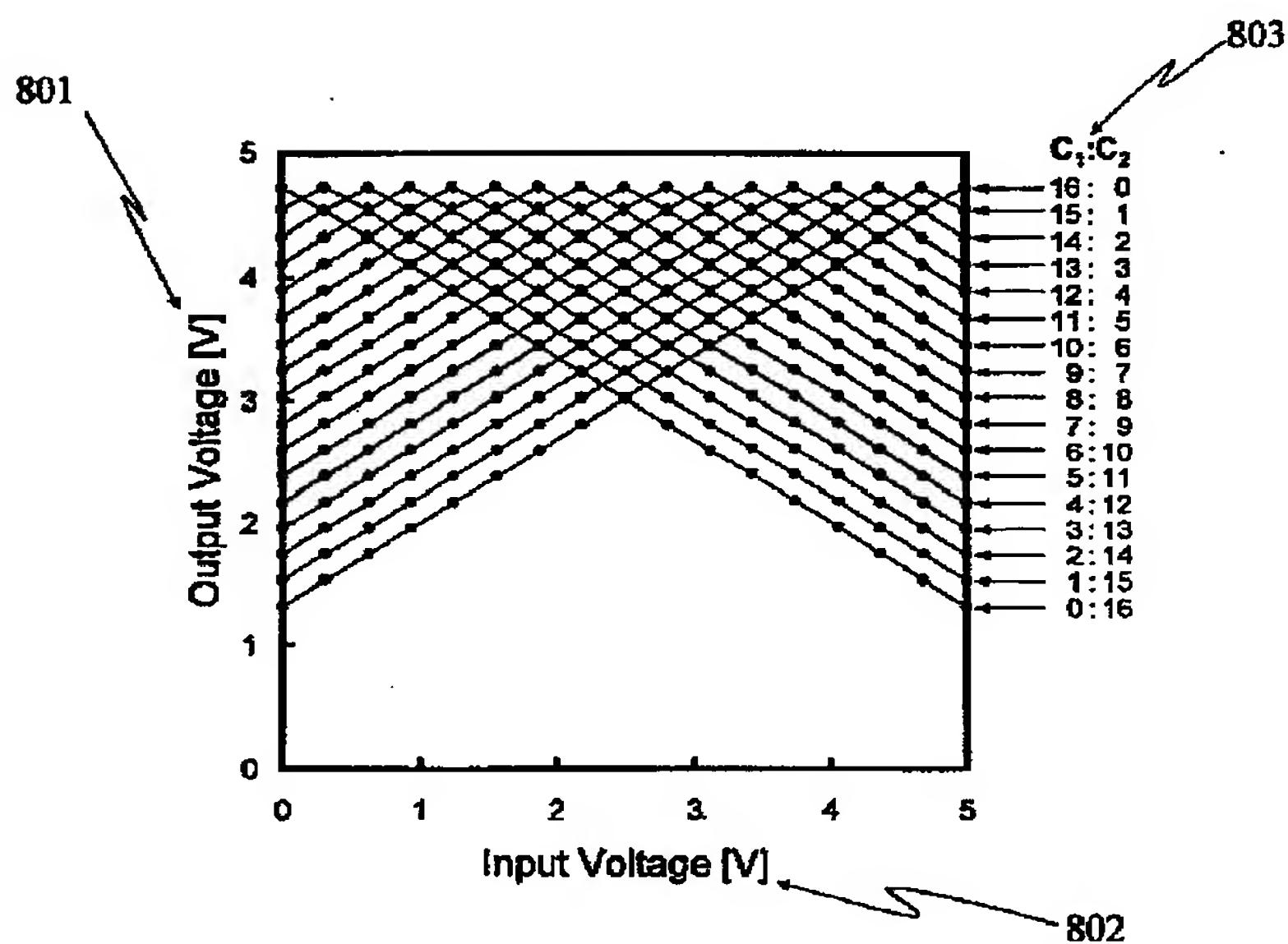
【図6】



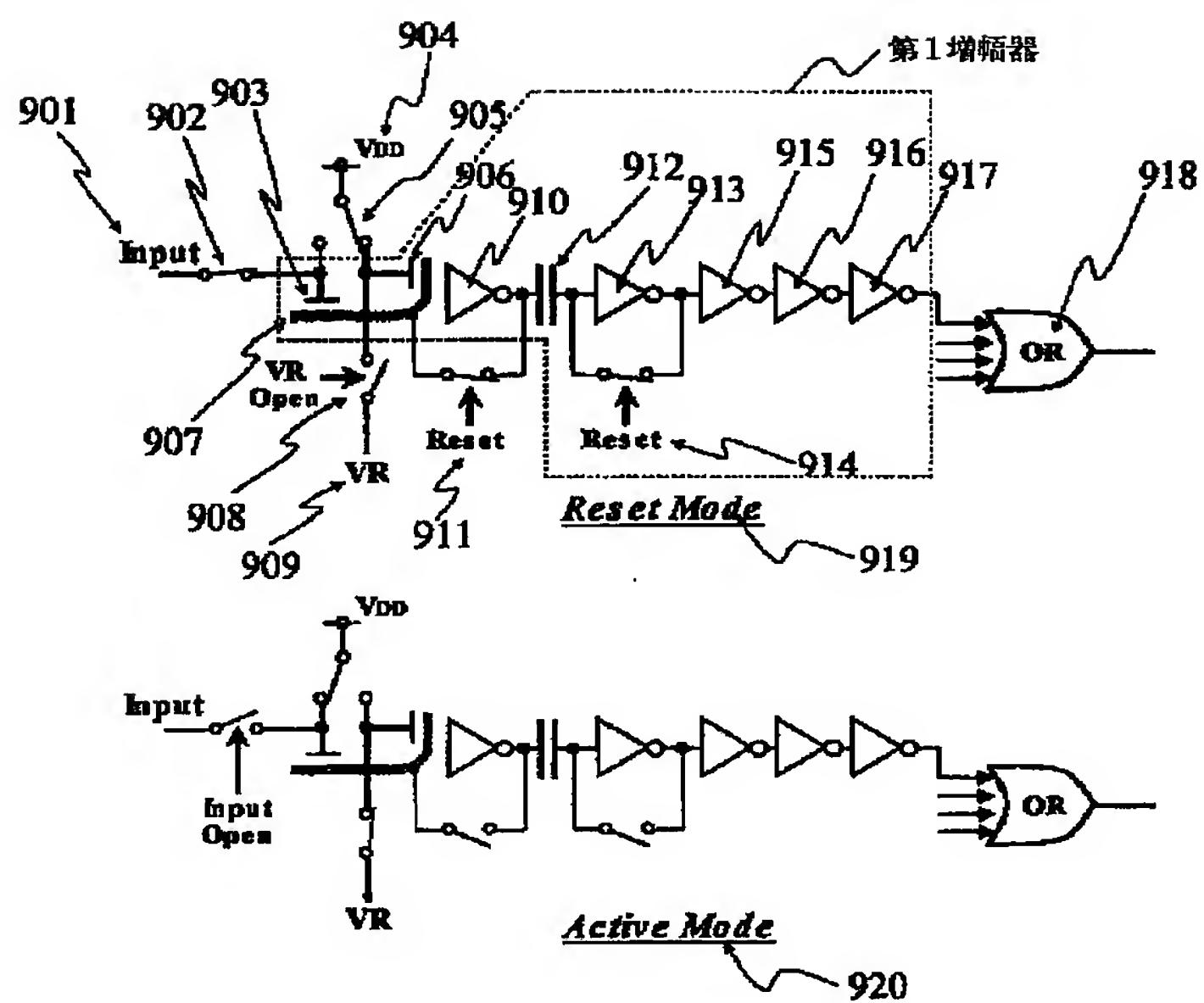
【図7】



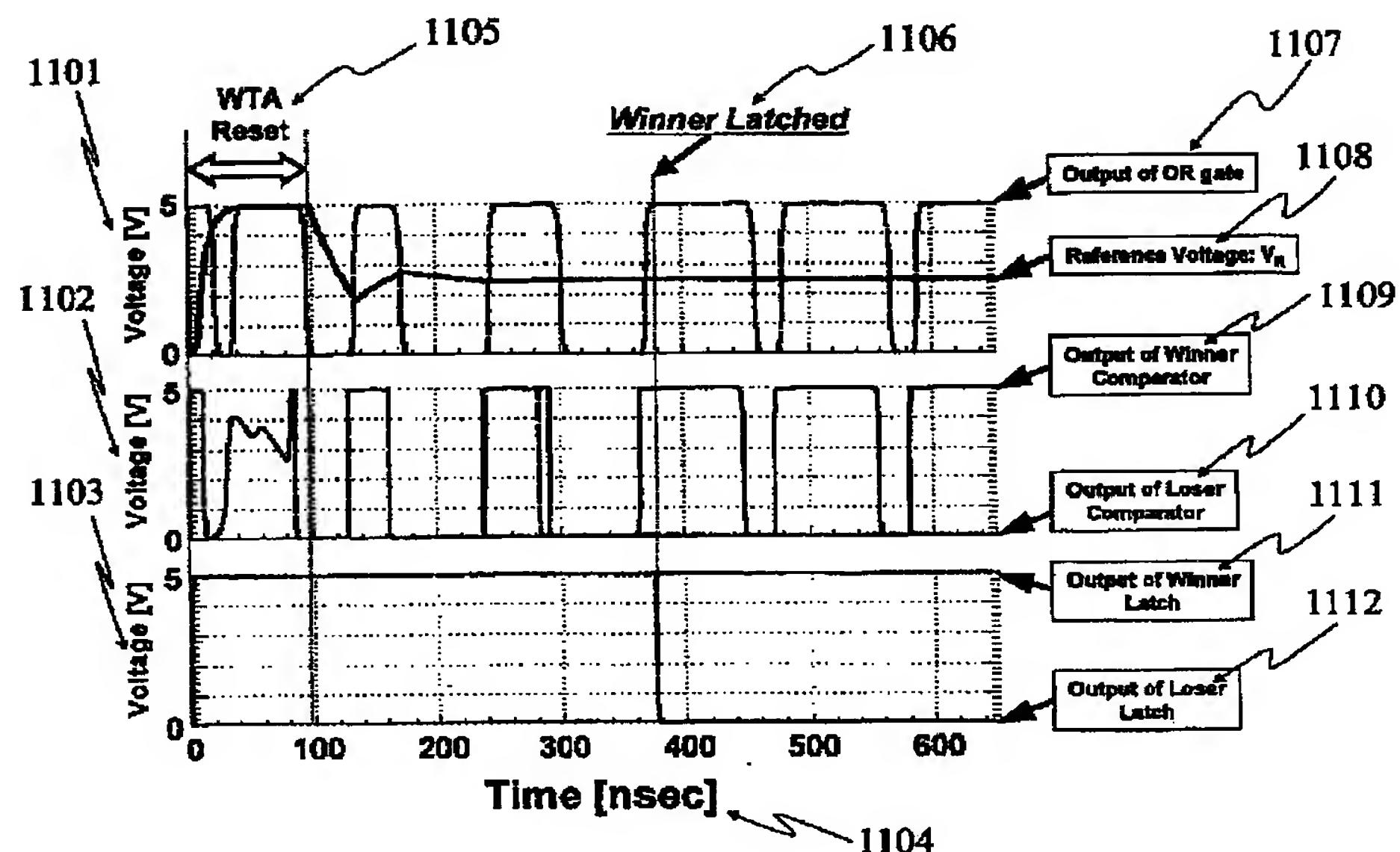
【図8】



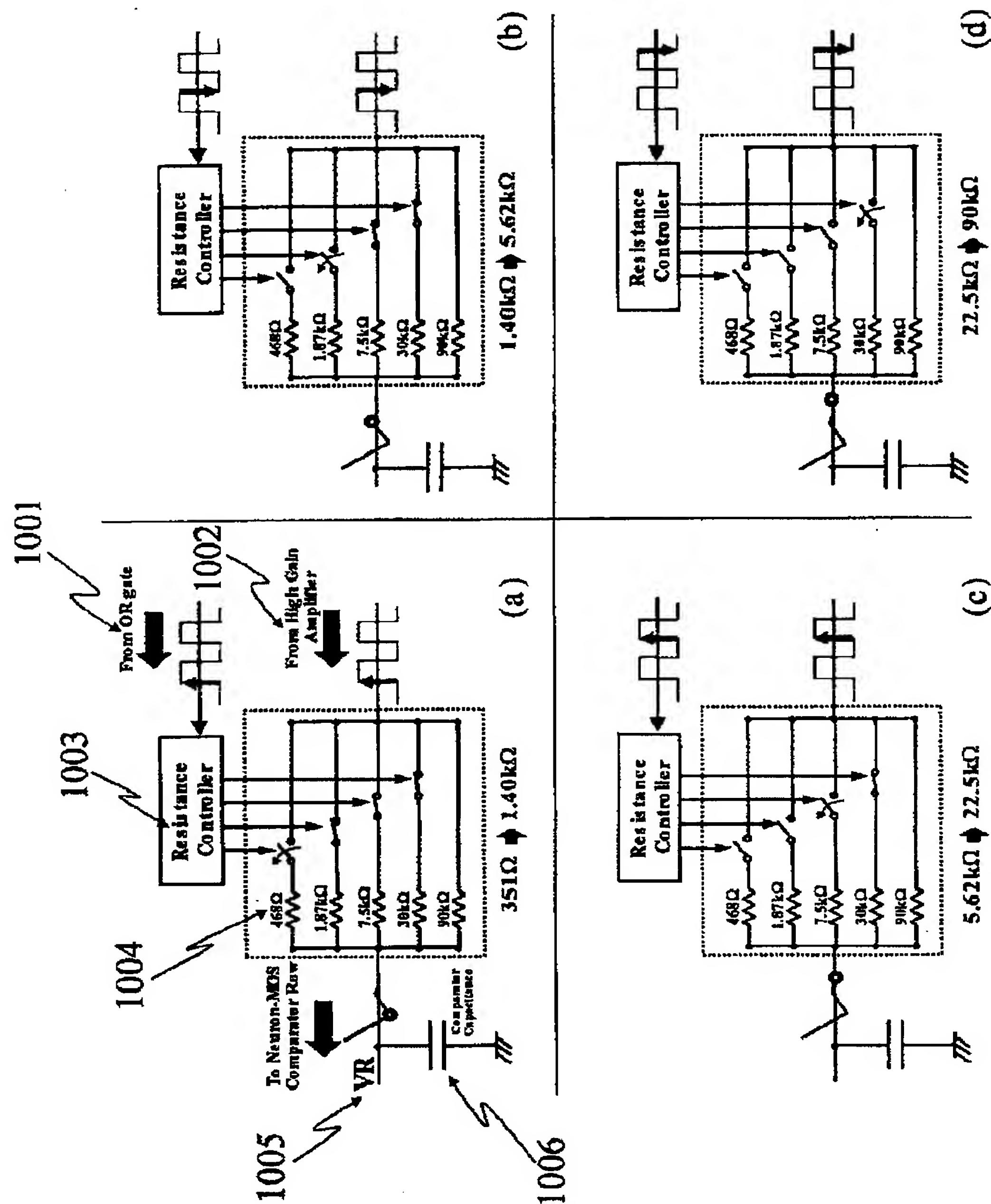
【図9】



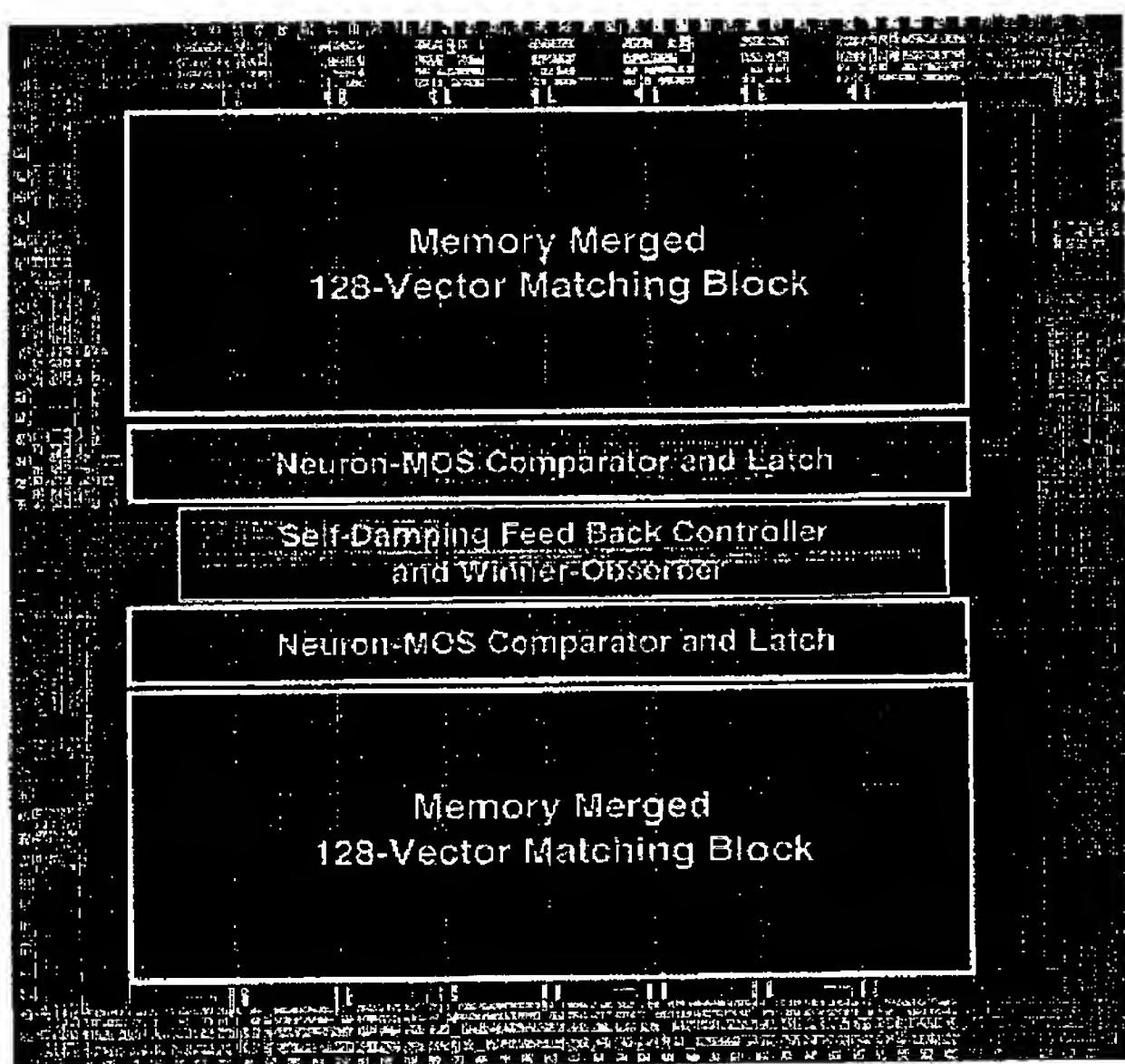
[四] 1 1]



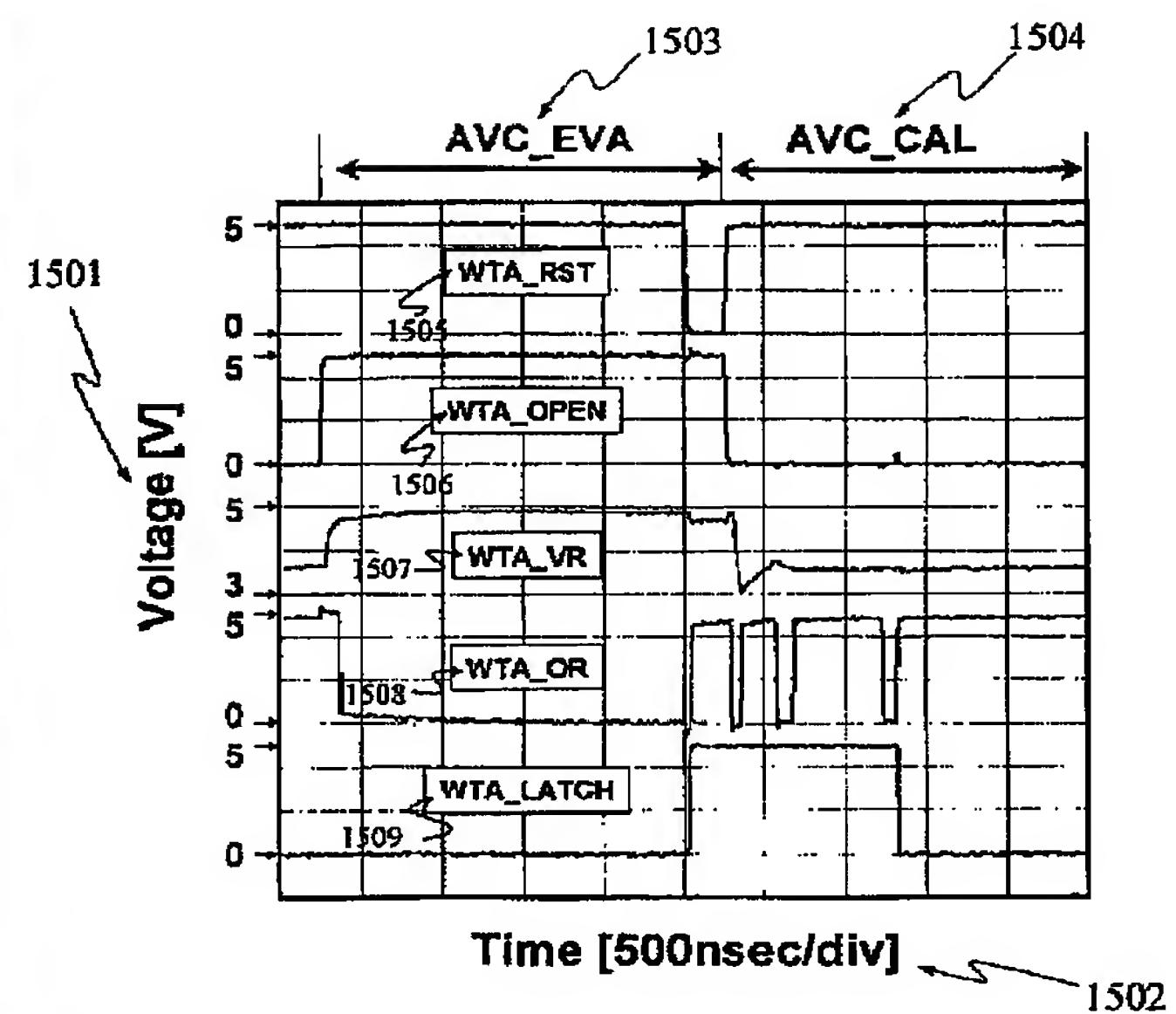
【図10】



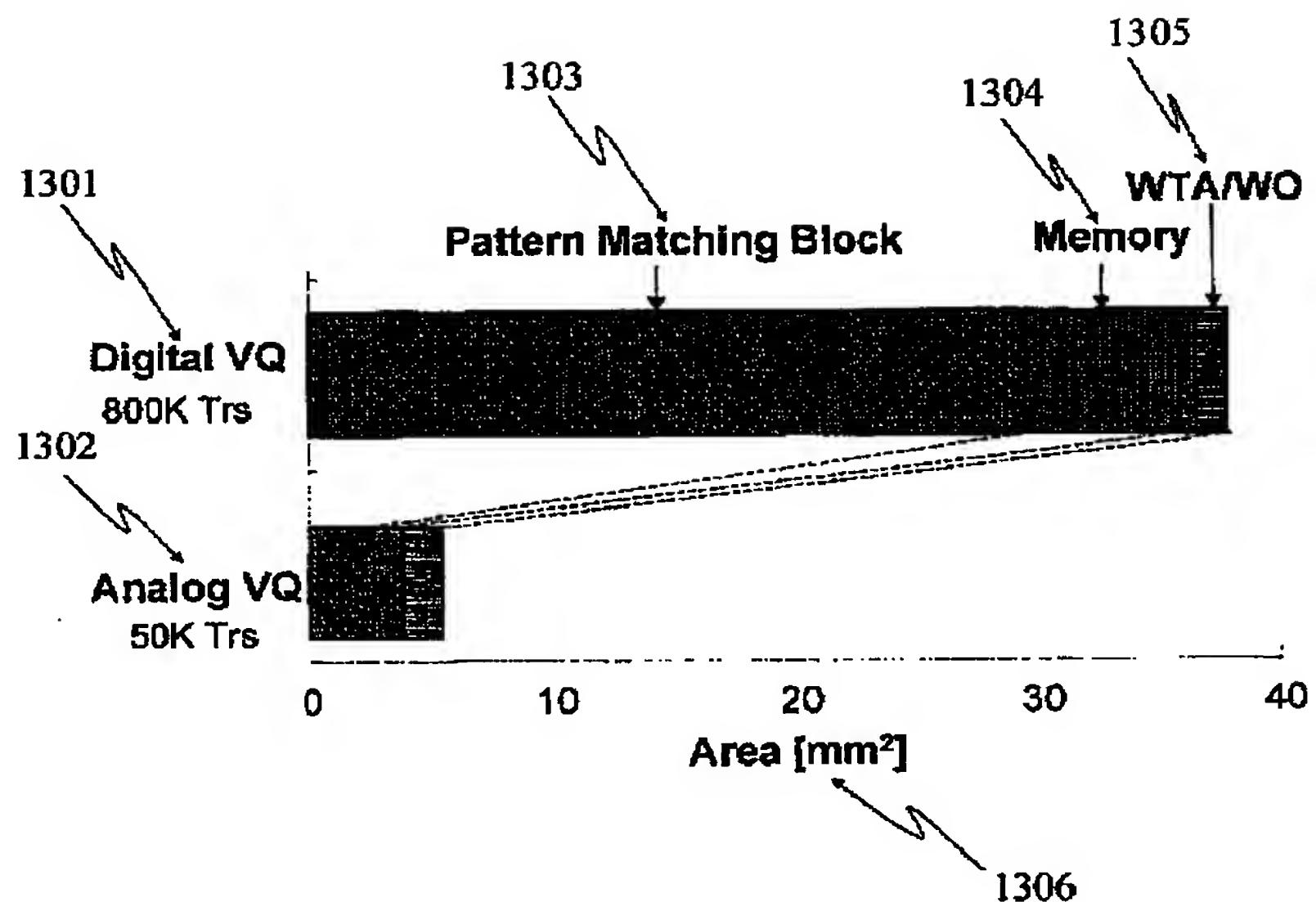
【図12】



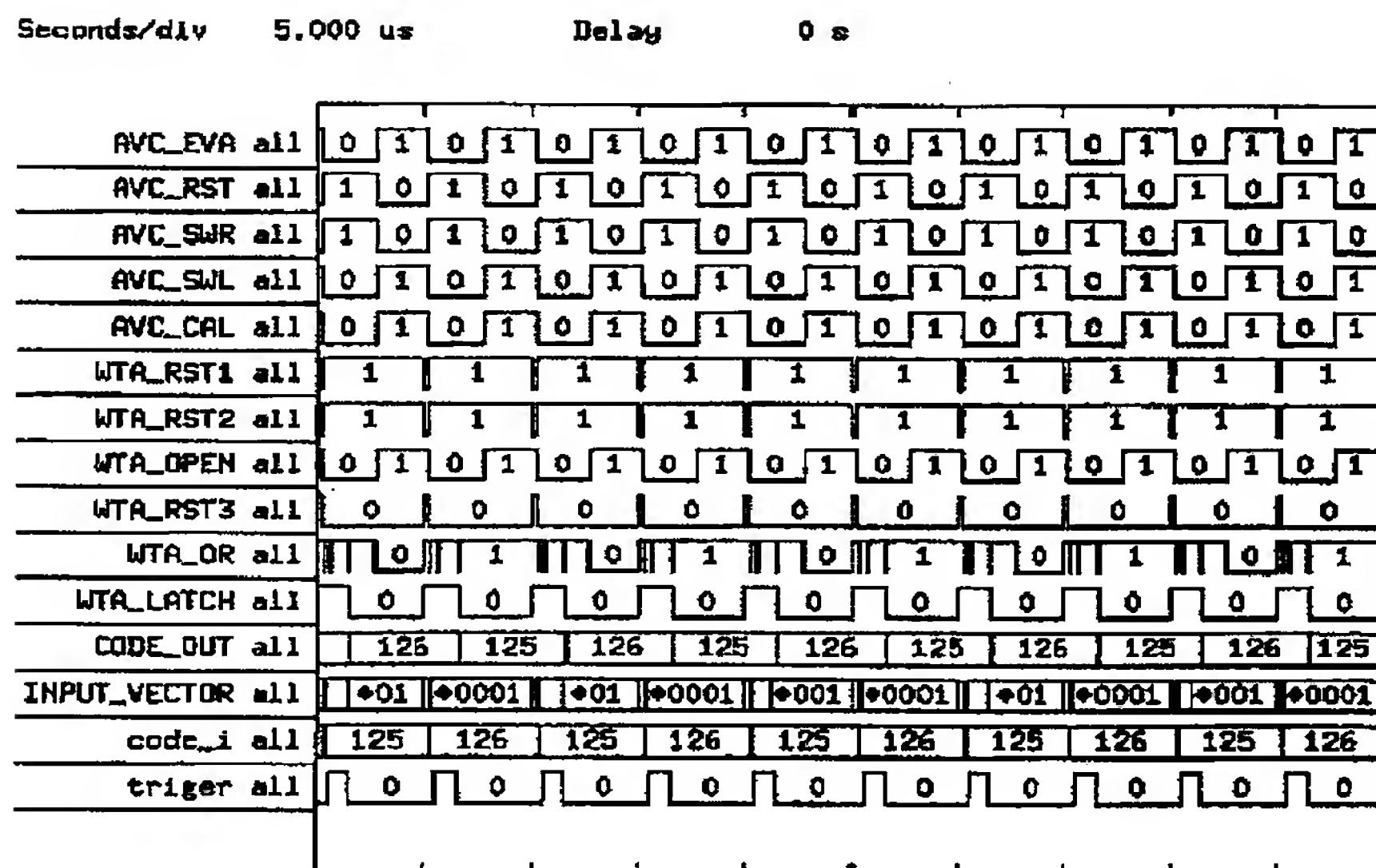
【図15】



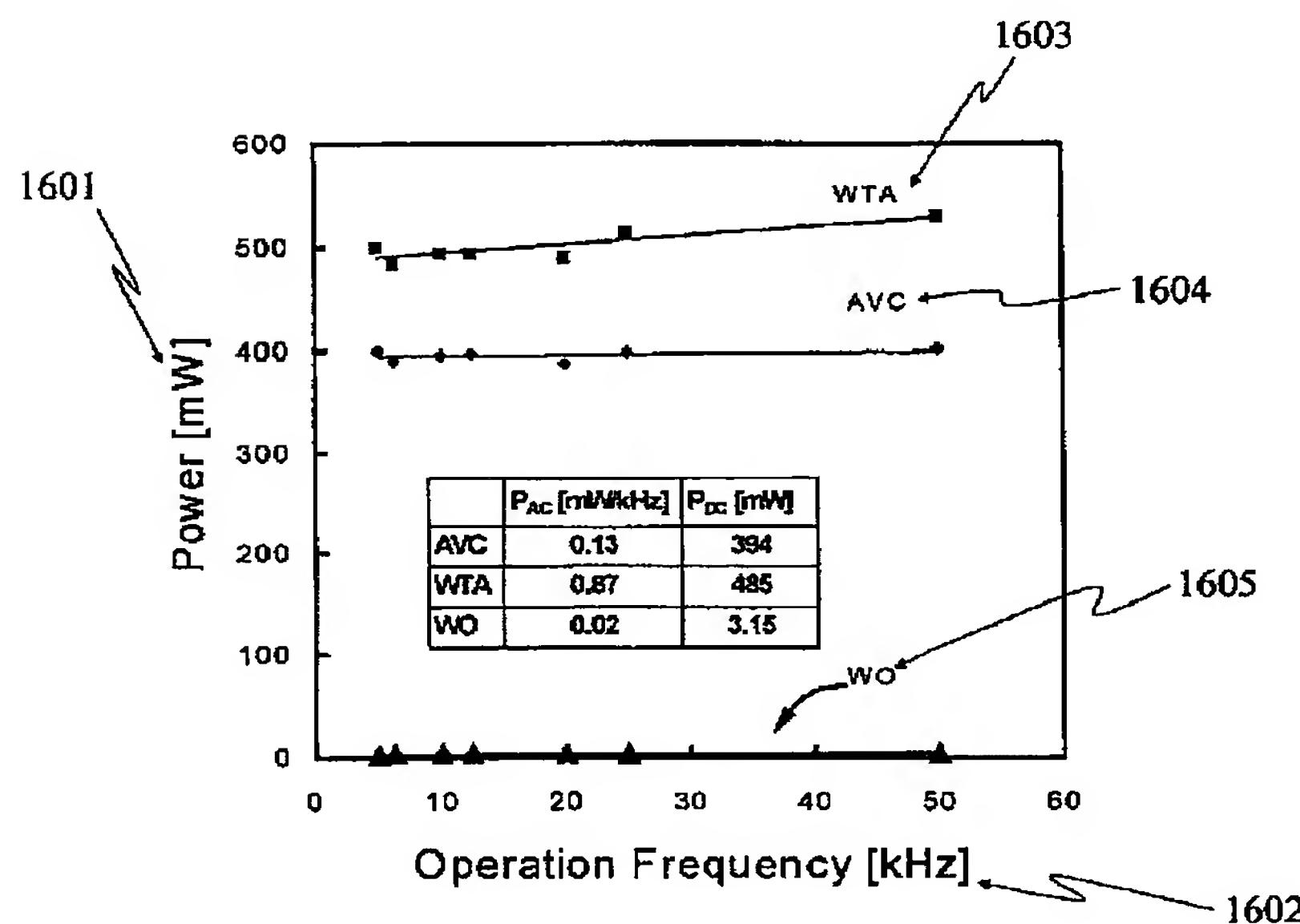
【図13】



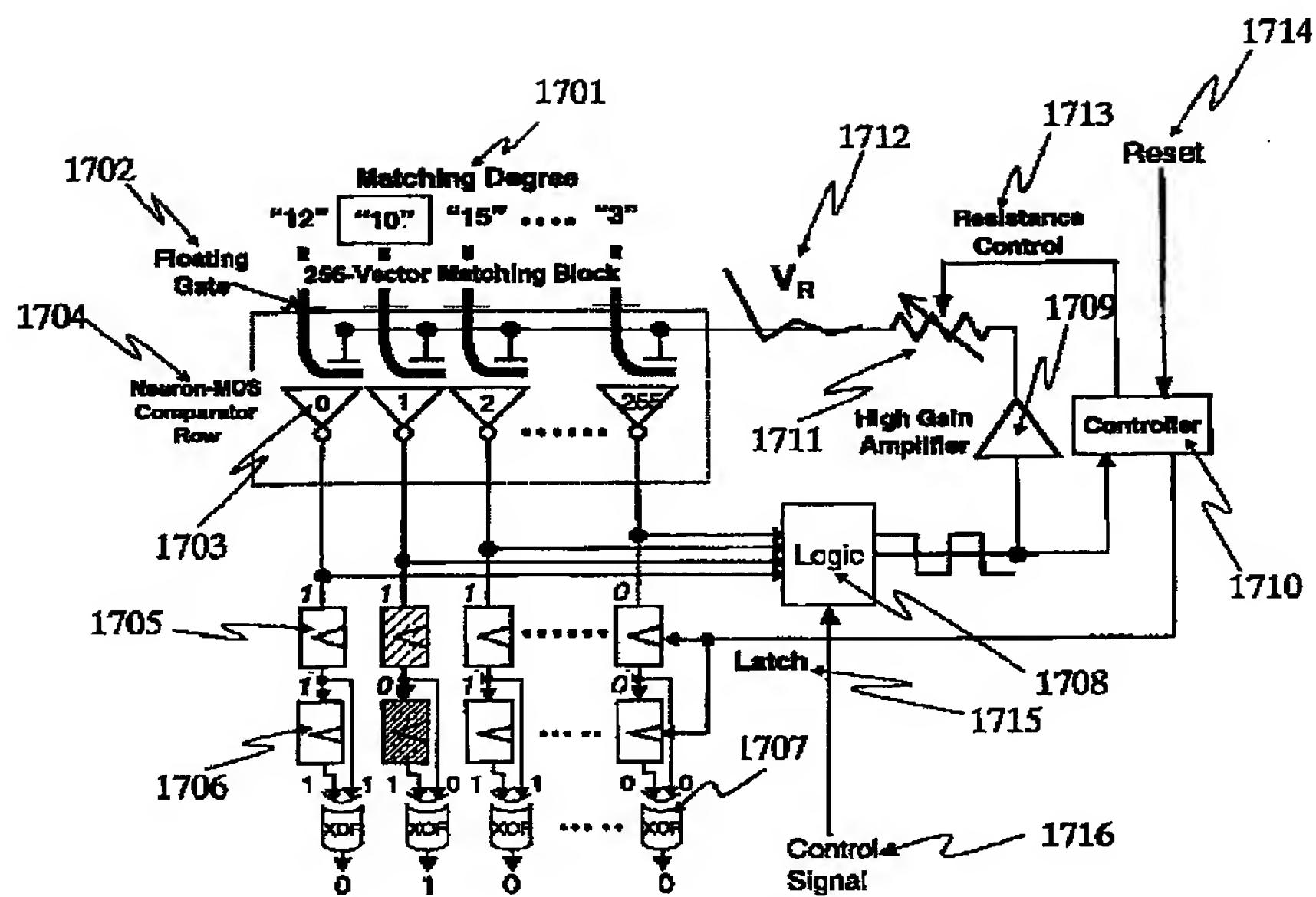
【図14】



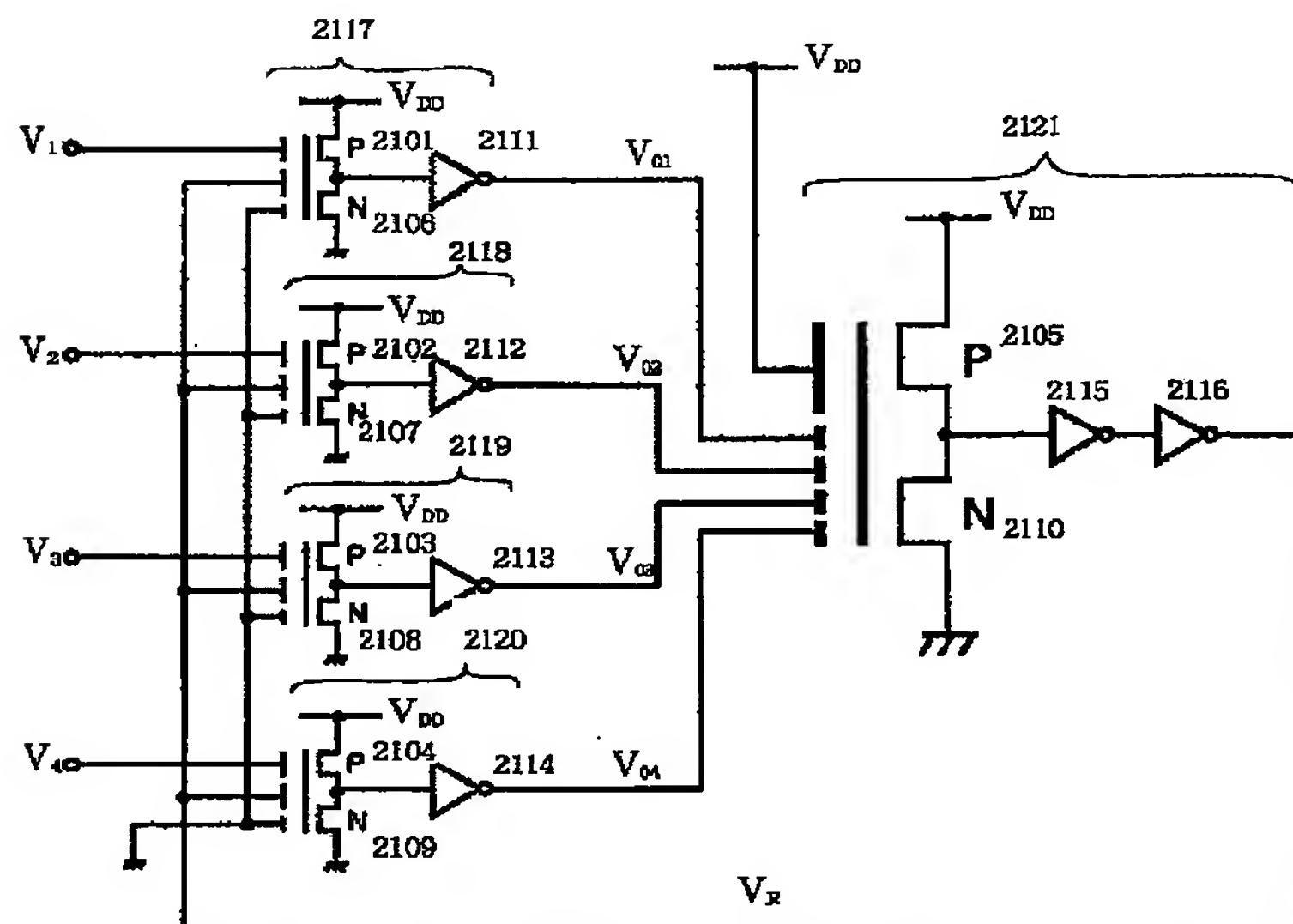
【図16】



【図17】



【図18】



フロントページの続き

(72) 発明者 柴田 直

東京都江東区越中島1-3-16-411

(72) 発明者 大見 忠弘

宮城県仙台市青葉区米ヶ袋2の1の17の

301

(72) 発明者 中田 明良

東京都足立区加平二丁目12番5号

(72) 発明者 森本 達郎

宮城県仙台市青葉区荒巻字青葉（無番地）

東北大學内

(72) 発明者 新田 雄久

東京都文京区本郷4丁目1番4号 株式会

社ウルトラクリーンテクノロジー開発研究

所内